

Laboratorio N° 1

Análisis de Sistemas con Bloques de Transferencia Electrónicos

Cátedra de Control y Servomecanismos

Índice

INTRODUCCIÓN.....	2
OBJETIVOS PROPUESTOS.....	2
DESCRIPCIÓN DEL EQUIPO.....	2
CONTROL.....	3
<i>Desarrollo</i> :.....	3
CONCLUSIONES:.....	3
APÉNDICE 1: DIAGRAMAS ELECTRÓNICOS	4
ANEXO 2: POLOS Y CEROS DISPONIBLES EN LA PLACA DE SIMULACIONES	6
BIBLIOGRAFÍA:	7

En este laboratorio se estudiarán circuitos realimentados en donde cada bloque de transferencia es una implementación hecha a base de operacionales dispuestos en un gran tablero de conexiones implementado por "Electronica Veneta".

Objetivos propuestos

Los objetivos propuestos son:

1. Exploración de reconocimiento de la placa de simulaciones.
2. Análisis de distintos casos propuestos de plantas realimentadas.
3. Implementación de los bloques en la placa.
4. Visualización de los efectos del cambio de parámetros :
 - a) Cambio de la referencia (señal de entrada).
 - b) Cambio de polos o ceros de uno de los bloques .
5. Realización de mediciones :
 - a) Salida en respuesta al escalón a LC.
 - b) Obtención de respuestas Amortiguadas, críticas, Sub-amortiguadas, oscilatoria, etc.
6. Implementación del modelo en un software simulador (CC, MathLab, etc)

Descripción del equipo

El equipo consta de los elementos necesarios para alimentar toda la circuitería electrónica, la placa de conexiones y los juegos de cables necesarios para realizar los puentes mediante pines.

Los bloques integrantes se distinguen fácilmente mediante la serigrafía del frente de la placa y están formados por:

1. Set-Point: compuesto tanto por una señal continua como por una onda cuadrada.
2. Bloques sumadores: que se encuentran en diversos lugares estratégicos pero se destaca uno que es el que devuelve la señal a la entrada de set-point para cerrar el lazo.
3. Sector de Compensación: tiene ganancia, integración y derivación para realizar un compensador.
4. Sector de Transferencias Alineales: con diversas respuestas con histéresis y recorte de señal que no utilizamos en la cátedra.
5. Sector de Planta: donde se supone que conformamos los bloques de las diversas plantas que pueden armarse con la placa.
6. Sector de conversión A/D, D/A: para digitalizar cualquier etapa del proceso generar mediante soft tanto curvas de respuesta como bloques en el plano Z y devolver luego un valor resultante para retomar así la simulación electrónica analógicamente.
7. Sector de Display de barras: Un par de barras de LEDs permiten mostrar variaciones lentas de las señales en cualquier punto de interconexión de bloques.

Las transferencias propuestas para implementar en la placa son:

Planta N° 1: dos polos simples.

$$G(s) = \frac{K \cdot 100 \cdot 140}{(s+100)(s+140)}$$

Planta N° 2: polo simple y polo en el origen

$$G(s) = \frac{K}{s \cdot (0,01 \cdot s + 1)}$$

Planta N° 3: polo simple y polo doble

$$G(s) = \frac{K}{(0,01 \cdot s + 1)(0,007 \cdot s + 1)^2}$$

Planta N° 4: polo simple, polo en el origen y un retardo puro

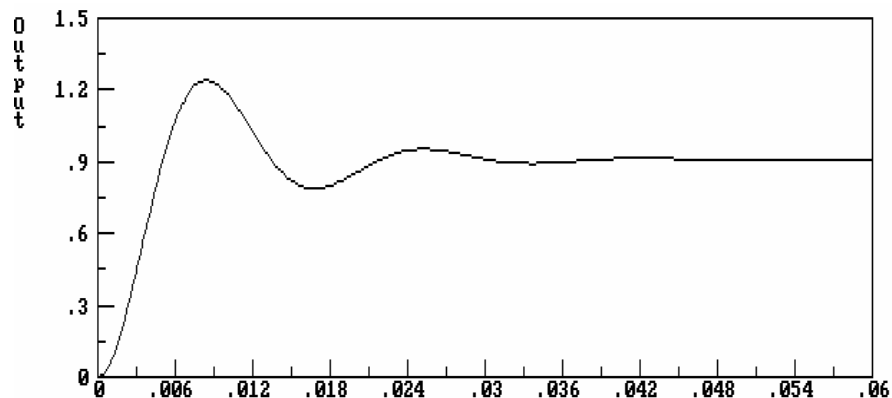
$$G(s) = \frac{K \cdot e^{-st}}{s \cdot (0,01 \cdot s + 1)}$$

Desarrollo :

1. Implementar la planta en la placa de simulaciones.-
2. Obtener la respuesta al escalón considerando un valor constante de la realimentación y comparar con los resultados con una realimentación unitaria.-
3. Obtener la respuesta al escalón para distintos valores de ganancia y comparar las distintas salidas obtenidas.-
4. En la planta N° 3 además se tratará de obtener la ganancia crítica o el punto de cruce sobre el eje "jw".

Conclusiones:

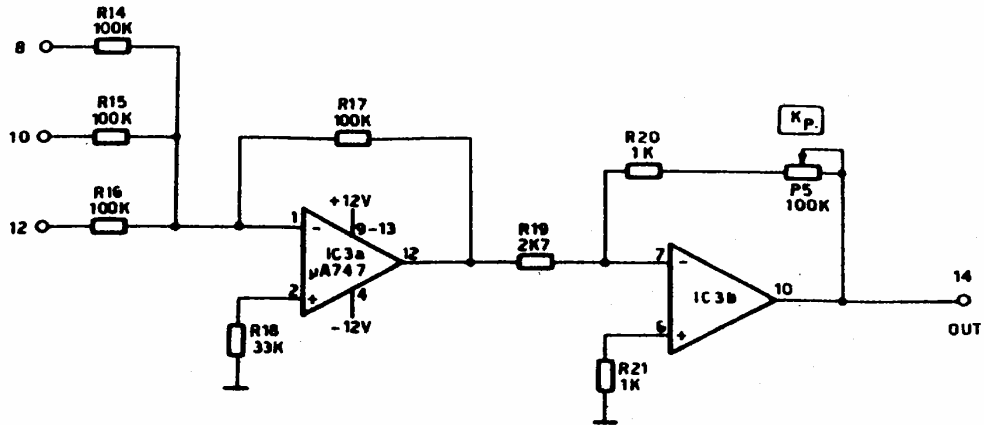
Al finalizar el laboratorio se habrán visto la reacción de distintas plantas (que son algunas de las que permite la placa de simulaciones) al escalón y se habrán observado claramente los efectos de las distintas cantidades de polos, de la presencia de polos en el origen y del aumento de la ganancia sobre el tipo de respuesta de las mismas.



Apéndice 1: Diagramas Electrónicos

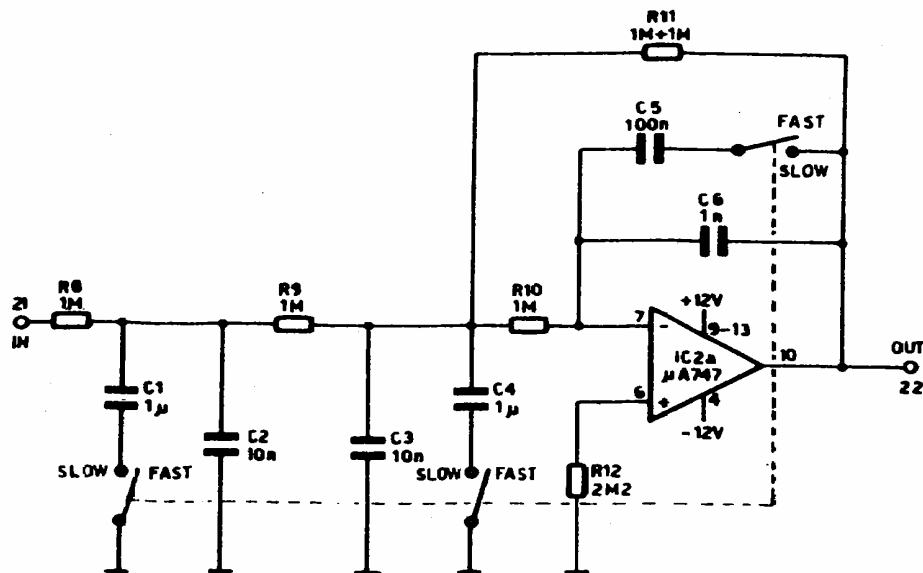
Aquí reproducimos los diagramas de los circuitos más importantes que usa la placa de simulaciones para conformar los diferentes componentes de bloque.

Sumador + Ganancia:

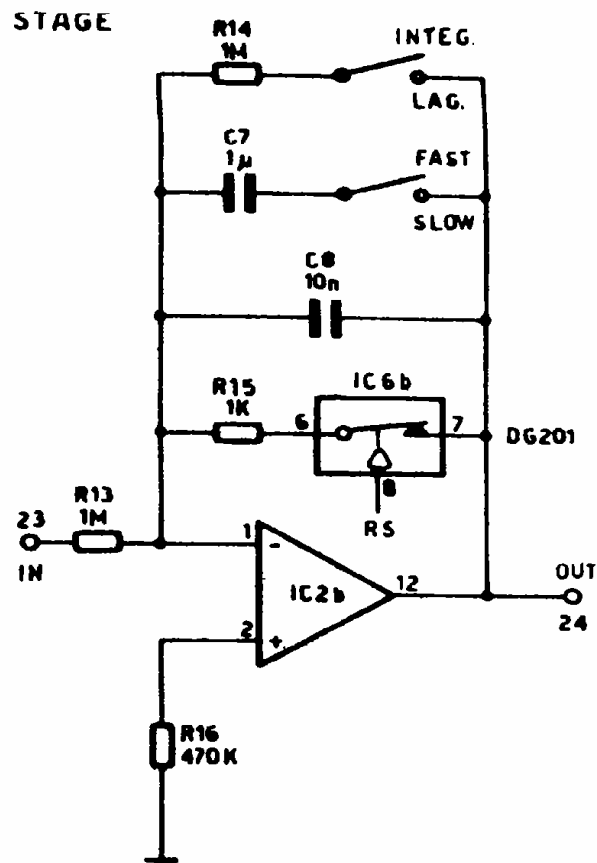


Retardo puro:

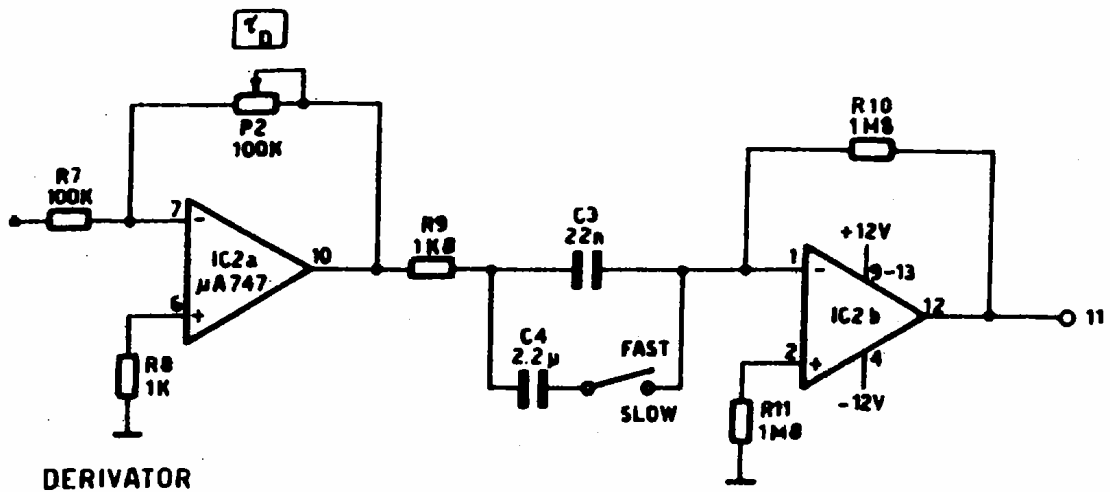
TRANSPORT LAG



Etapa Simple:



Etapa Derivativa:



Anexo 2: Polos y Ceros disponibles en la placa de simulaciones

Sector de los bloques para simulación de planta:

NOMBRE DE LA ETAPA	Llave de la etapa en FAST	Llave de la etapa en SLOW
Transport Lag	$e^{-st} \approx (1-s\tau)$ con $\tau=10\text{ms}$	$e^{-st} \approx (1-s\tau)$ con $\tau=1\text{s}$

NOMBRE DE LA ETAPA	Llave de PROCESS en FAST Llave de la etapa en INTEG	Llave de PROCESS en FAST Llave de la etapa en LAG
Stage 1	-100/s	-100/(100+s)
Stages 2 – 3	-140/s	-140/(140+s)
NOMBRE DE LA ETAPA	Llave de PROCESS en SLOW Llave de la etapa en INTEG	Llave de PROCESS en SLOW Llave de la etapa en LAG
Stage 1	-1/s	-1/(1+s)
Stages 2 – 3	-1,4/s	-1,4/(1,4+s)

Sector de simulación de compensación (PID):

NOMBRE DE LA ETAPA	Llave CONTROLLER en FAST	Llave CONTROLLER en SLOW
Integrator	$4\text{ms} \leq \tau_I \leq 400\text{ms}$	$0,4\text{s} \leq \tau_I \leq 40\text{s}$
Derivator	$0\text{ms} \leq \tau_D \leq 40\text{ms}$	$0\text{ms} \leq \tau_D \leq 4\text{s}$

Sector de simulación de compensación (red de atraso – adelanto):

Lead (adelanto)	$1\text{ms} \leq \tau_I \leq 100\text{ms}$
Lag (atraso)	$0\text{ms} \leq \tau_D \leq 100\text{ms}$

Nota: este último sector no depende de la posición de la llave del bloque CONTROLLER.

Bibliografía:

1. **INGENIERÍA DE CONTROL MODERNA**; Ogata K., Prentice-Hall Inc., 2002
2. **SISTEMAS MODERNOS DE CONTROL**; Dorf R. C., Addison-Wesley Iberoamericana, 1989
3. **CONTROL DE SISTEMAS DINÁMICOS CON RETROALIMENTACIÓN**; Franklin G. F., Powell J. D., Emami-Naeimi A., Addison-Wesley Iberoamericana S. A., USA, 1991
4. **SISTEMAS AUTOMÁTICOS DE CONTROL**; Kuo B.C., Prentice-Hall Inc., 1991
5. **LINEAR CONTROL SYSTEM ANALYSIS AND DESIGN**; D'Azzo J. J., Houpis C. H., McGraw-Hill Series in Electrical Engineering, 1995
6. **ELECTRÓNICA INTEGRADA** (Cap. 15 y 16); Millman Halkias, Ed. Hispano – Europea, Barcelona (Esp.) 1976.-
7. **OPERATIONAL AMPLIFIERS: DESIGN AND APPLICATIONS**; Jerald Graeme & Gene, Burr Brown 1979.-
8. **AMPLIFICADORES OPERACIONALES Y CIRCUITOS INTEGRADOS LINEALES**, R. Coughlin y F. Driscoll, Prentice Hall Hispanoamericana 1993.-