

Introducción a los Sistemas Lógicos y Digitales

EJERCICIOS RESUELTOS

T.P. N° 10: ANÁLISIS Y SÍNTESIS DE CIRCUITOS

Ejercicio n° 4

Las ecuaciones de salida del circuito son:

$$Q_2^{n+1} = X Q_2^n \overline{Q_0^n} + X Q_1^n Q_0^n$$

$$Q_1^{n+1} = X \overline{Q_2^n} \overline{Q_1^n} Q_0^n + X Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = X \overline{Q_0^n} + \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

$$Z = \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + X \overline{Q_2^n} \overline{Q_0^n} + X \overline{Q_2^n} \overline{Q_1^n}$$

Para facilitar el armado de la tabla de estados, hallamos los valores de estas ecuaciones para X=0 y X=1:

Para X = 0:

$$Q_2^{n+1} = 0$$

$$Q_1^{n+1} = 0$$

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

$$Z = \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

Para X = 1:

$$Q_2^{n+1} = Q_2^n \overline{Q_0^n} + Q_1^n Q_0^n$$

$$Q_1^{n+1} = \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = \overline{Q_0^n} + \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

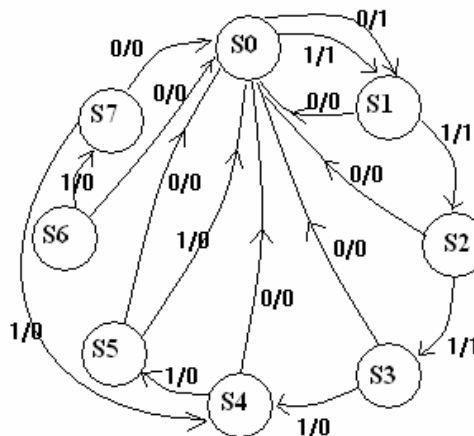
$$Z = \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_2^n} \overline{Q_1^n}$$

Salida actual $Q_2^n \ Q_1^n \ Q_0^n$	Estado actual	Salida siguiente $Q_2^{n+1} \ Q_1^{n+1} \ Q_0^{n+1}$	Z actual		Estado siguiente		
0 0 0	S0	0 0 1	0	1	S1	S1	
0 0 1	S1	0 0 0	0	1	S0	S2	
0 1 0	S2	0 0 0	0	1	S0	S3	
0 1 1	S3	0 0 0	0	0	S0	S4	
1 0 0	S4	0 0 0	0	0	S0	S5	
1 0 1	S5	0 0 0	0	0	S0	S0	
1 1 0	S6	0 0 0	0	0	S0	S7	
1 1 1	S7	0 0 0	0	0	S0	S4	
		X=0	X=1	X=0	X=1	X=0	X=1

Tabla de estados

Estado actual	Est.sig./Z(salida)	
S0	S1 / 1	S1 / 1
S1	S0 / 0	S2 / 1
S2	S0 / 0	S3 / 1
S3	S0 / 0	S4 / 0
S4	S0 / 0	S5 / 0
S5	S0 / 0	S0 / 0
S6	S0 / 0	S7 / 0
S7	S0 / 0	S4 / 0
	X=0	X=1

Diagrama de estados

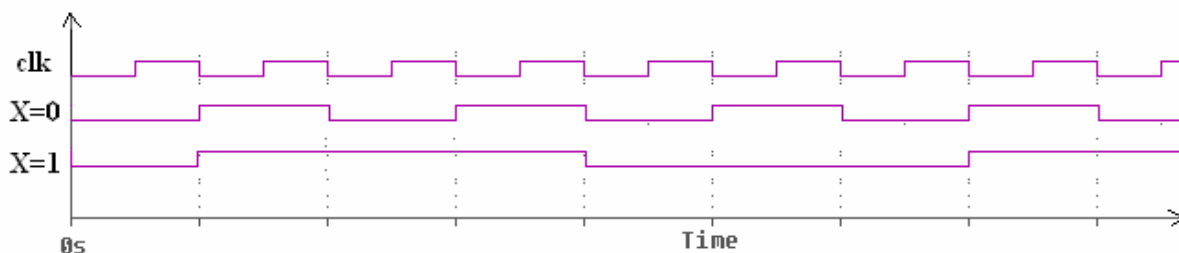


Analizando la tabla de estados pueden observarse 2 comportamientos distintos según $X=0$ o $X=1$:

Si $X=0$, en cada ciclo de reloj se pasa alternativamente de S_0 a S_1 y viceversa, cambiando la salida de 0 a 1 y de 1 a 0. Esto corresponde a un divisor de frecuencia por 2.

Si $X=1$, partiendo de S_0 se pasa sucesivamente a S_1 , S_2 y S_3 con salida $Z=1$ y luego a S_4 , S_5 y S_0 con salida $Z=0$ (es decir, durante 3 ciclos de reloj la salida se mantiene en alto y luego 3 ciclos en bajo). Esto corresponde a un divisor de frecuencia por 6.

Por lo tanto, el circuito es un **divisor de frecuencia programable**: divide por 2 la señal de reloj cuando la entrada $X=0$ y por 6 cuando la entrada $X=1$.



Ejemplo de síntesis por Moore

Sintetizar un circuito detector de secuencia de 3 bits por Moore. Partiendo del estado inicial, la salida debe seguir a la entrada X hasta que se detecte la secuencia “101”. A partir de ese momento, la salida será la negación de la entrada hasta detectar la secuencia “010”, volviendo al estado inicial.

Usar flip flops tipo D disparados por flanco descendente. Considerar la salida $Z=0$ para el estado inicial. Los estados no definidos, deben forzarse al estado inicial.

Diagrama de estados

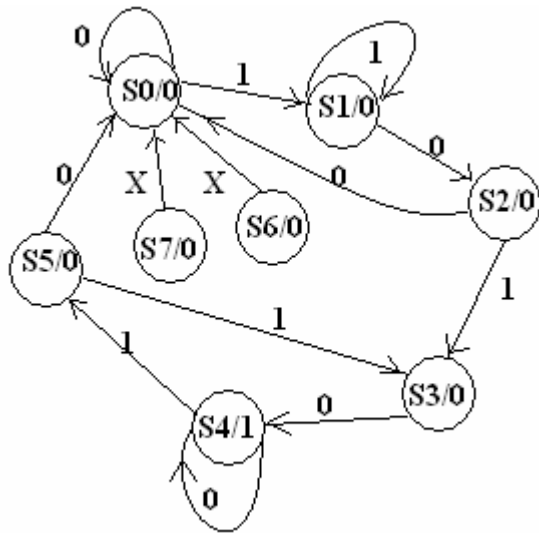


Tabla de estados

E.A. / salida Z	E.S. / salida Z	
S0 / 0	S0 / 0	S1 / 1
S1 / 1	S2 / 0	S1 / 1
S2 / 0	S0 / 0	S3 / 0
S3 / 0	S4 / 1	S3 / 0
S4 / 1	S4 / 1	S5 / 0
S5 / 0	S0 / 0	S3 / 0
S6 / 0	S0 / 0	S0 / 0
S7 / 0	S0 / 0	S0 / 0
X=0	X=1	

Tabla de excitaciones del circuito

E.actual / $Q_2Q_1Q_0$	E.siguiete / $Q'_2Q'_1Q'_0$		D2		D1		D0		Z	
S0 / 0 0 0	S0 / 000	S1 / 001	0	0	0	0	0	1	0	0
S1 / 0 0 1	S2 / 010	S1 / 001	0	0	1	0	0	1	1	1
S2 / 0 1 0	S0 / 000	S3 / 011	0	0	0	1	0	1	0	0
S3 / 0 1 1	S4 / 100	S3 / 011	1	0	0	1	0	1	0	0
S4 / 1 0 0	S4 / 100	S5 / 101	1	1	0	0	0	1	1	1
S5 / 1 0 1	S0 / 000	S3 / 011	0	0	0	1	0	1	0	0
S6 / 1 1 0	S0 / 000	S0 / 000	0	0	0	0	0	0	0	0
S7 / 1 1 1	S0 / 000	S0 / 000	0	0	0	0	0	0	0	0
	X=0	X=1	0	1	0	1	0	1	0	1
			X							

Tabla de transición del FF-D

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

D_0

$Q_1 Q_0$	00	01	11	10
$X Q_2$				
0 0	0	0	0	0
0 1	0	0	0	0
1 1	1	1	0	0
1 0	1	1	1	1

D_1

$Q_1 Q_0$	00	01	11	10
$X Q_2$				
0 0	0	1	0	0
0 1	0	0	0	0
1 1	0	1	0	0
1 0	0	0	1	1

D_2

$Q_1 Q_0$	00	01	11	10
$X Q_2$				
0 0	0	0	1	0
0 1	1	0	0	0
1 1	1	0	0	0
1 0	0	0	0	0

$$D_0 = X\overline{Q_1} + X\overline{Q_2}$$

$$D_1 = X\overline{Q_2}Q_1 + XQ_2\overline{Q_1}Q_0 + \overline{X}\overline{Q_2}\overline{Q_1}Q_0$$

$$D_2 = Q_2\overline{Q_1}\overline{Q_0} + \overline{X}\overline{Q_2}Q_1Q_0$$

$$Z = \overline{Q_2}\overline{Q_1}Q_0 + Q_2\overline{Q_1}\overline{Q_0}$$

Z

	Q_1	Q_0	00	01	11	10
Q_2	0	1	0	1	0	0
1	1	0	0	0	0	0

Circuito final

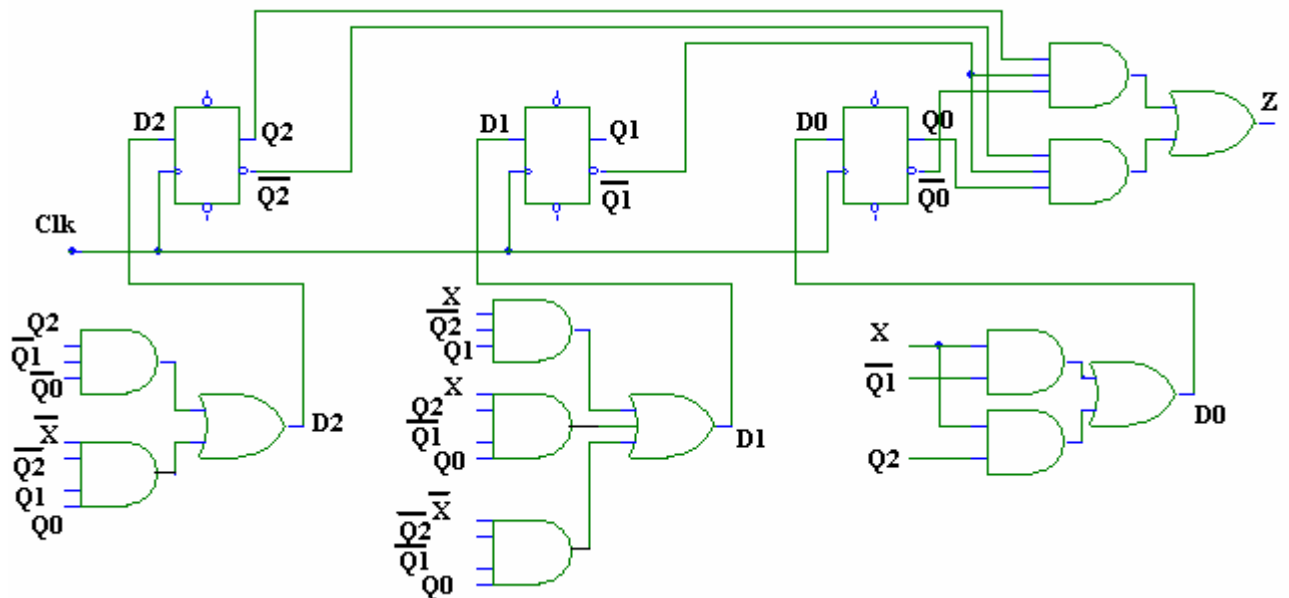
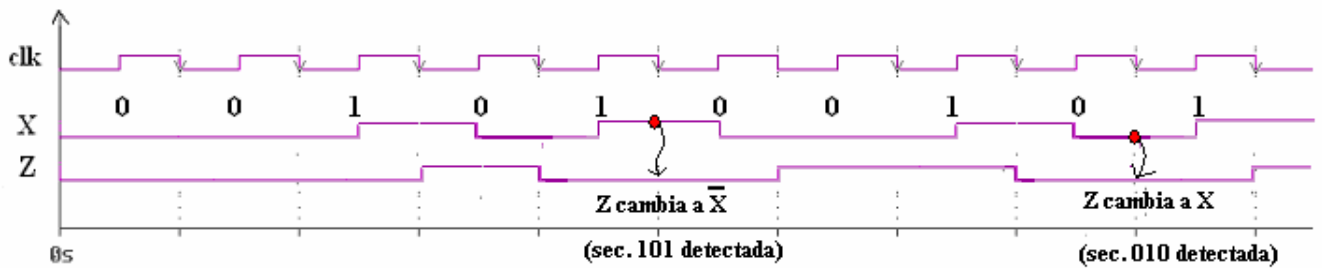


Diagrama de tiempos para una secuencia de entrada X=0010100101



Ejercicio nº 7

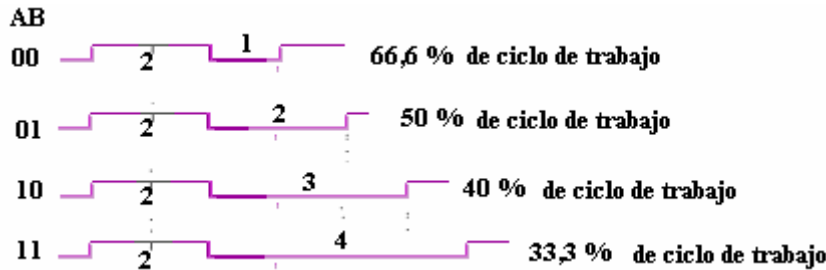


Diagrama de estados

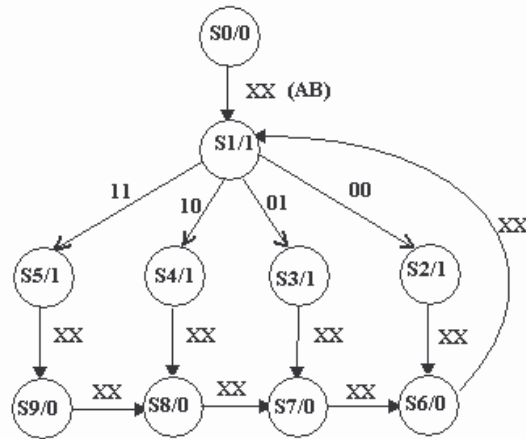


Tabla de estados

E.A./ Z	Estado siguiente/ Z			
	AB=00	AB=01	AB=10	AB=11
S0 / 0	S1 / 1	S1 / 1	S1 / 1	S1 / 1
S1 / 1	S2 / 1	S3 / 1	S4 / 1	S5 / 1
S2 / 1	S6 / 0	S6 / 0	S6 / 0	S6 / 0
S3 / 1	S7 / 0	S7 / 0	S7 / 0	S7 / 0
S4 / 1	S8 / 0	S8 / 0	S8 / 0	S8 / 0
S5 / 1	S9 / 0	S9 / 0	S9 / 0	S9 / 0
S6 / 0	S1 / 1	S1 / 1	S1 / 1	S1 / 1
S7 / 0	S6 / 0	S6 / 0	S6 / 0	S6 / 0
S8 / 0	S7 / 0	S7 / 0	S7 / 0	S7 / 0
S9 / 0	S8 / 0	S8 / 0	S8 / 0	S8 / 0
S ₁₀ /0... S ₁₅ /0	S0 / 0	S0 / 0	S0 / 0	S0 / 0

Como se tienen 10 estados, se requieren 4 flip flops tipo D (los estados sobrantes se envían al estado inicial S0).

Tabla de excitaciones de los flip-flops

E.A./ Q ⁿ	Estado siguiente / Q ⁿ⁺¹				D3		D2		D1		D0		Z
	AB=00	AB=01	AB=10	AB=11	AB=00	AB=01	AB=10	AB=11	AB=00	AB=01	AB=10	AB=11	
S0 / 0000	S1 / 0001	S1 / 0001	S1 / 0001	S1 / 0001	0	0	0	1	0	0	0	1	1
S1 / 0001	S2 / 0010	S3 / 0011	S4 / 0100	S5 / 0101	0	0	1	0	0	0	1	1	1
S2 / 0010	S6 / 0110	S6 / 0110	S6 / 0110	S6 / 0110	0	1	1	0	0	1	1	0	0
S3 / 0011	S7 / 0111	S7 / 0111	S7 / 0111	S7 / 0111	0	1	1	1	0	1	1	1	0
S4 / 0100	S8 / 1000	S8 / 1000	S8 / 1000	S8 / 1000	1	0	0	0	1	0	0	0	0
S5 / 0101	S9 / 1001	S9 / 1001	S9 / 1001	S9 / 1001	1	0	0	1	1	0	0	1	0
S6 / 0110	S1 / 0001	S1 / 0001	S1 / 0001	S1 / 0001	0	0	0	1	0	0	0	1	1
S7 / 0111	S6 / 0110	S6 / 0110	S6 / 0110	S6 / 0110	0	1	1	0	0	1	1	0	0
S8 / 1000	S7 / 0111	S7 / 0111	S7 / 0111	S7 / 0111	0	1	1	1	0	1	1	1	0
S9 / 1001	S8 / 1000	S8 / 1000	S8 / 1000	S8 / 1000	1	0	0	0	1	0	0	0	0
S ₁₀ /0... S ₁₅ /0	S0 / 0000	S0 / 0000	S0 / 0000	S0 / 0000	0	0	0	0	0	0	0	0	0

Ejemplo de síntesis de monoestable redisparable

Sintetizar un circuito monoestable **redisparable** con máquina de Moore, sensible a **flanco descendente** de una entrada Y, tal que al detectarlo, su salida W vaya al estado **BAJO** durante **2 ciclos de reloj**. La salida estará normalmente en el estado **ALTO**.

Se debe prever la posible condición de que estando en el power-up la entrada en nivel **BAJO**, la salida no se dispare.

Emplear flip flops tipo D, disparados por flanco descendente y entradas asincrónicas de /Set y /Reset.

Diagrama de tiempos para una entrada Y cualquiera:

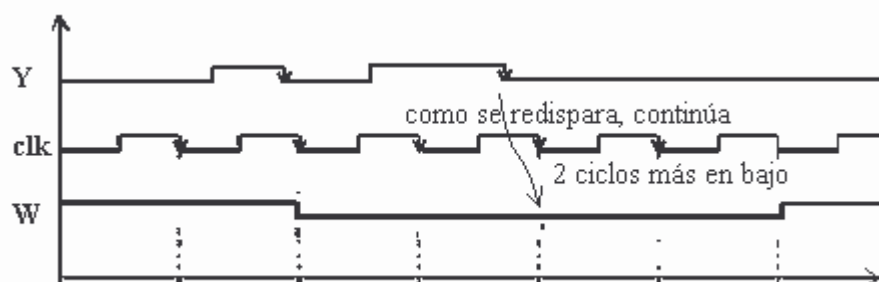


Diagrama de estados

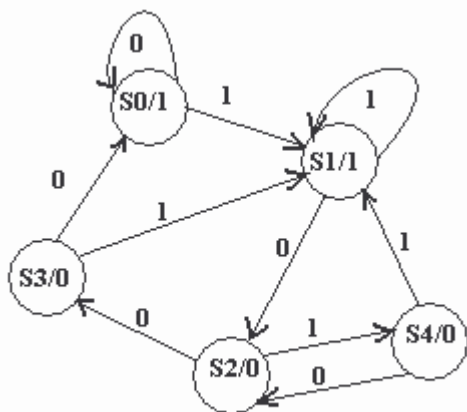


Tabla de estados

E.A. / W	E.S. / W	
	Y=0	Y=1
S0 / 1	S0/1	S1/1
S1 / 1	S2/0	S1/1
S2 / 0	S3/0	S4/0
S3 / 0	S0/1	S1/1
S4 / 0	S2/0	S1/1
S5 / 1	S0/1	S0/1
S6 / 1	S0/1	S0/1
S7 / 1	S0/1	S0/1

Como se tienen 5 estados, se requerirán 3 flip flops como mínimo. Los 3 estados sobrantes se enviaron al estado inicial S0.

Se deja para el lector la síntesis del circuito final a partir de la tabla de excitaciones.