

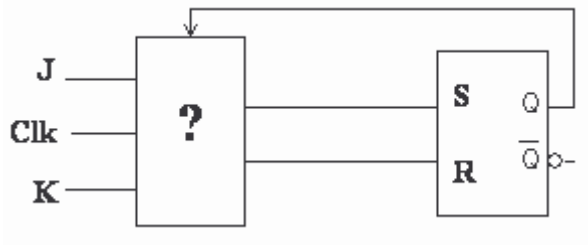
Introducción a los Sistemas Lógicos y Digitales

EJERCICIOS RESUELTOS

T.P. N° 5: CIRCUITOS SECUENCIALES

1) Implementar un FF-JK en base a un SR.

Lo que se busca es la lógica combinatoria del bloque incógnita. Se calculan las expresiones de S y R a partir de la tabla de verdad y los diagramas de Karnaugh:



Ck	J	K	Q	S	R
1	0	0	0	0	X
1	0	0	1	X	0
1	0	1	0	0	X
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	X	0
1	1	1	0	1	0
1	1	1	1	0	1
0	X	X	X	0	0

JK				
Ck Q	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	X	0	0	X
10	0	0	1	1

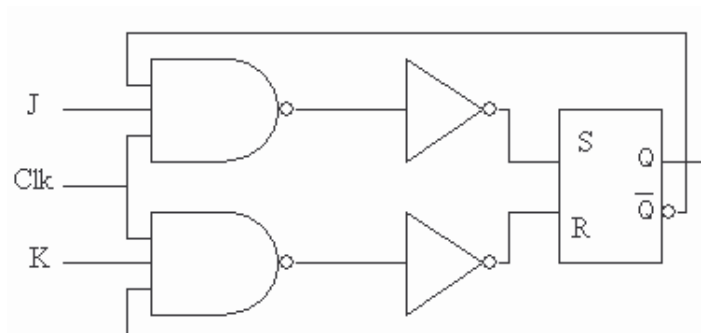
JK				
Ck Q	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	1	1	0
10	X	X	0	0

Diagramas de Karnaugh de S y R

$$S = Ck \cdot J \cdot \overline{Q} = \overline{\overline{\overline{Ck \cdot J \cdot \overline{Q}}}}$$

$$R = Ck \cdot K \cdot Q = \overline{\overline{\overline{Ck \cdot K \cdot Q}}}$$

Las expresiones de S y R se negaron dos veces para poder representar el circuito con compuertas NAND:



2) Idem 1) para FF tipo D:

Puede resolverse a partir del caso del flip flop JK, considerando que el D es un FF JK con sus entradas conectadas a través de un inversor. La tabla de verdad para S y R y los diagramas de Karnaugh correspondientes serán:

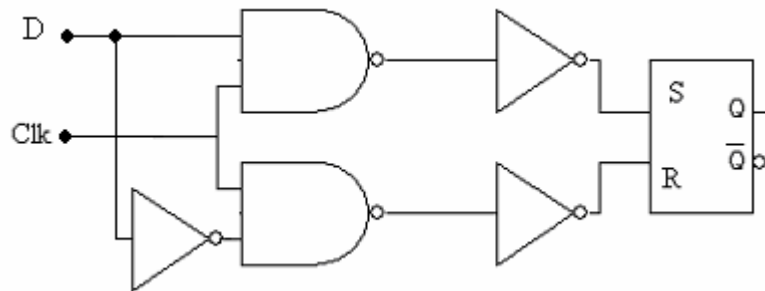
Ck	D	Q	S	R
1	0	0	0	X
1	0	1	0	1
1	1	0	1	0
1	1	1	X	0
0	X	X	0	0

S	DQ	00	01	11	10
Ck	0	0	0	0	0
	1	0	0	X	1

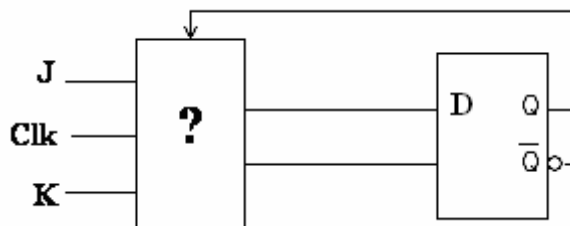
R	DQ	00	01	11	10
Ck	0	0	0	0	0
	1	X	1	0	0

$$S = Ck \cdot D = \overline{\overline{Ck \cdot D}}$$

$$R = Ck \cdot \overline{D} = \overline{\overline{Ck \cdot \overline{D}}}$$



3) Implementar un FF-JK a partir de uno tipo D.

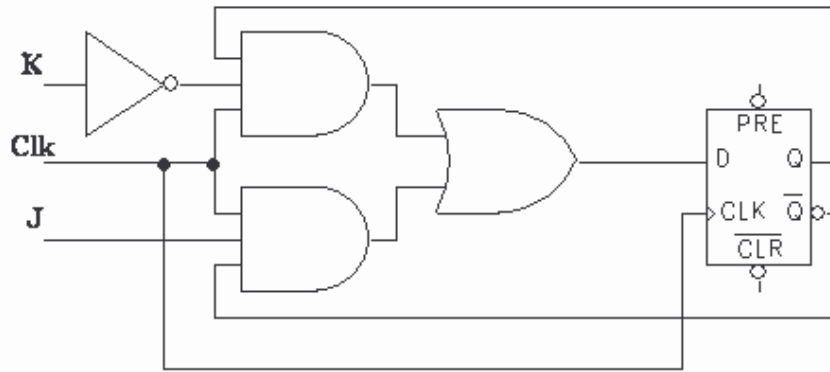


Ck	J	K	Q	D
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
0	X	X	X	0

D	QK	00	01	11	10
Ck J	00	0	0	0	0
	01	0	0	0	0
	11	1	1	0	1
	10	0	1	0	0

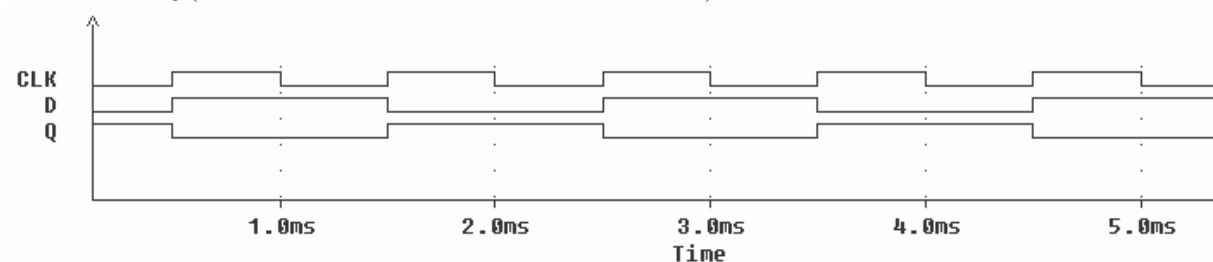
$$D = Ck \cdot J \cdot \overline{Q} + Ck \cdot \overline{K} \cdot Q$$

A partir de la expresión de D hallada, el circuito final queda:



4) (ej. 2 de la práctica)

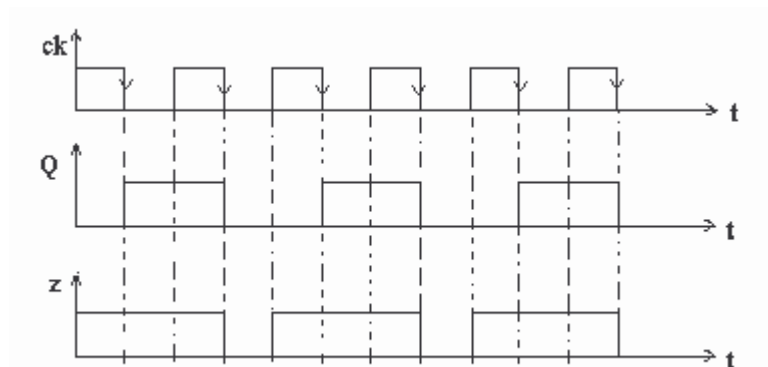
Este conexionado del flip flop tipo D genera una onda de la mitad de frecuencia de Clk en la salida Q (funciona como un divisor de frecuencia):



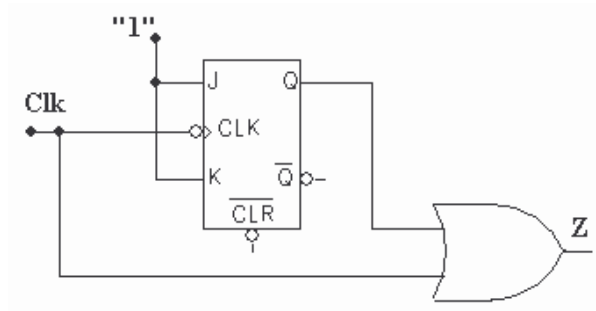
Nota: existe un retardo entre el flanco ascendente de Clk y el de la transición de Q debido al tpd del flip flop, pero no es observable debido a la escala del dibujo.

5) (ej. 7 de la práctica).

Usando un flip flop JK en modo “toggle” con $T = 1$ tendríamos los siguientes diagramas de tiempos:



Se observa que si de alguna forma “superpusiera” los diagramas de ck y Q, obtendría el de Z. Esto se puede lograr aplicando la función OR entre ck y Q:

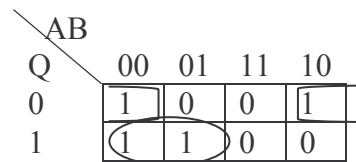


6) (ej. 8 de la práctica).

La tabla de verdad para el flip flop será:

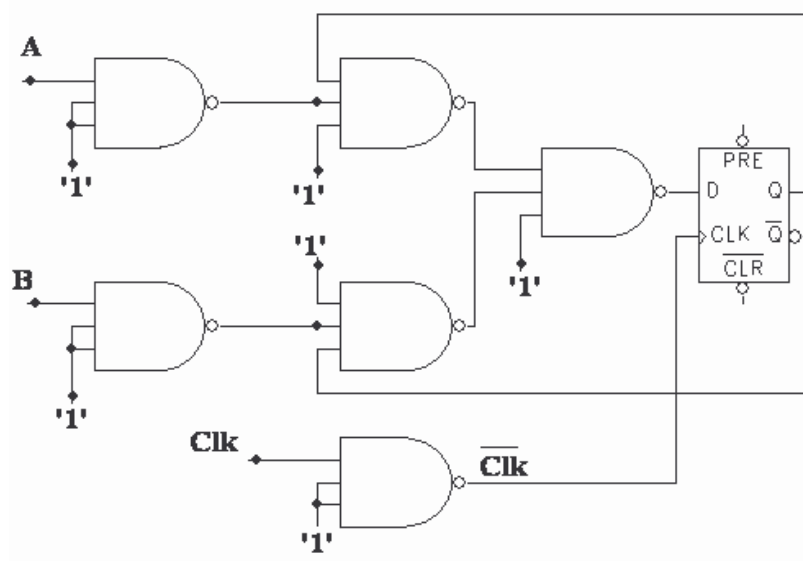
Q	A	B	D
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Y el diagrama de Karnaugh correspondiente:

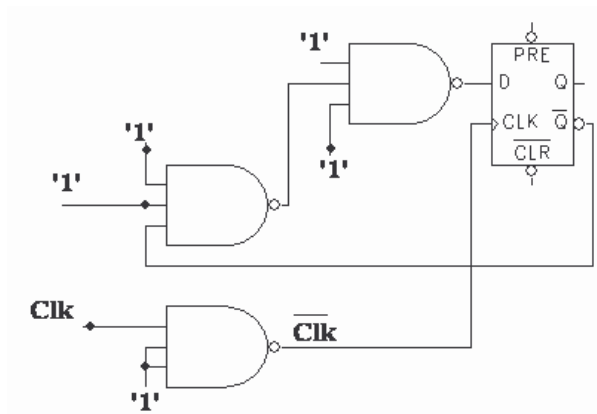


$$D = \overline{A}Q + \overline{B}Q = \overline{\overline{\overline{A}Q}} = \overline{\overline{A} \cdot \overline{B}Q}$$

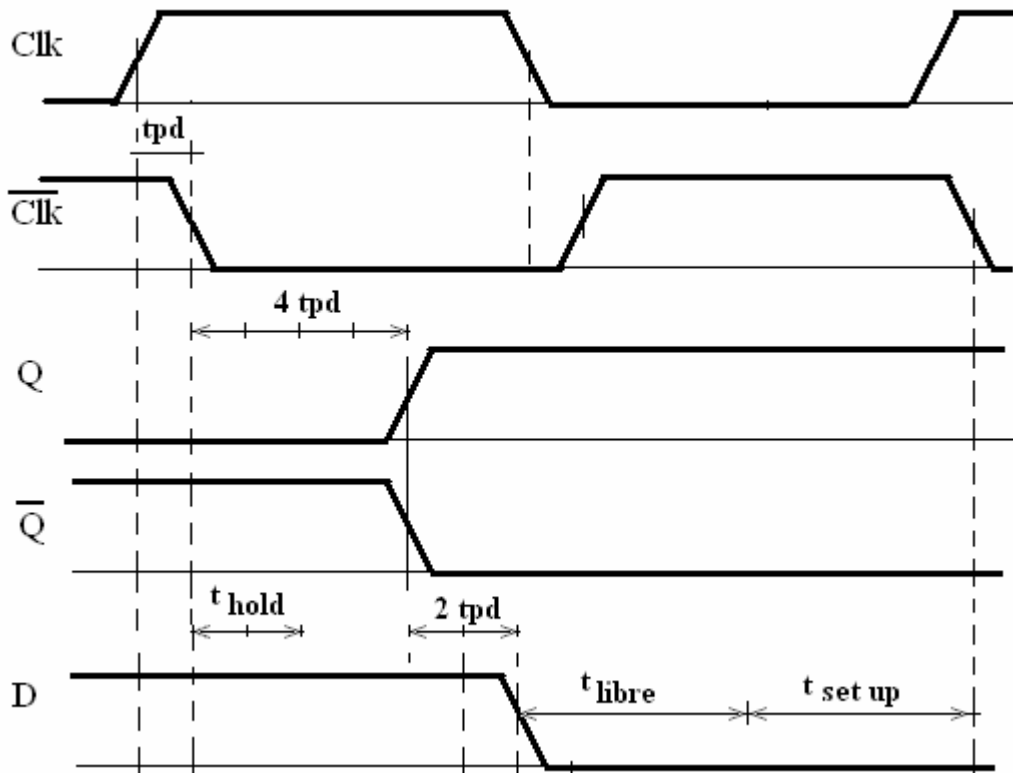
A partir de la expresión lógica de D, representamos todo con compuertas NAND de 3 entradas, inclusive los inversores:



Si $A=1$ y $B=0$ la expresión de D queda: $D = \bar{Q}$ que corresponde al funcionamiento en modo “toggle”, es decir actúa como un flip flop tipo T con $T = 1$. El circuito queda solo con la salida $/Q$ del flip flop conectada a D a través de 2 compuertas NAND en cascada (2 tpd de tiempo de retardo):



Para el cálculo de la frecuencia máxima de trabajo para este caso, se debe tener en cuenta que $/Clk$ está retrasado un tpd respecto a Clk a causa de la compuerta NAND actuando como inversor. Habrá que tener en cuenta también el $t_{set up}$, el t_{hold} y los 2 tpd entre $/Q$ y D a causa de las 2 compuertas en cascada.



Observar que el tiempo de mantenimiento (t_{hold}) que es de 2 tpd se respeta ya que D se mantiene estable durante 6 tpd luego de la transición de /Clk.

La expresión del período de Clk estará dada por:

$$T_{\text{clk}} = t_{\text{pd}}(\text{clk} \rightarrow \text{Q}) + t_{\text{pd}}(2 \text{ compuertas}_{\text{NAND}}) + t_{\text{set up}} + t_{\text{libre}} = 4 \text{ tpd} + 2 \text{ tpd} + 2 \text{ tpd} + t_{\text{libre}}$$

El período mínimo de Clk corresponderá a un valor de $t_{\text{libre}} = 0$, por lo tanto:

$$T_{\text{clk}} = 4 \text{ tpd} + 2 \text{ tpd} + 2 \text{ tpd} = 8 \text{ tpd}$$

La **frecuencia máxima** será entonces **1 / 8 tpd**.