

## **Temario de Introducción a los Sistemas Lógicos y Digitales:**

### **Tema 1: Algebra de Boole:**

Postulados de Huntington. Teoremas fundamentales del Algebra de Boole.

Teorema de Morgan. Diagramas de Venn. Conectividades.

Ecuaciones lógicas fundamentales. Operadores lógicos fundamentales: definición y representación. Método de descripción de una función por tabla de verdad. Simplificación algebraica.

Ejemplos de descripción de funciones lógicas con eventos reales.

Descripción esquemática de funciones lógicas. Compuertas lógicas: AND, OR, NAND, NOR y NOT. Derivados: OR-EXCLUSIVO y NOR-EXCLUSIVO. Concepto de circuito combinatorio.

Síntesis de funciones lógicas empleando sólo compuertas NOR y/o NAND.

Funciones incompletamente definidas ( don' t care).

### **Tema 2: Sistema de representación y síntesis de funciones lógicas por método gráfico ( Diagramas de Karnaugh):**

Funciones canónicas de primera y segunda forma. Concepto de mintérmino y maxtérmino. Pasaje de una forma a la otra.

Definición de adyacencia. Representación gráfica de funciones completamente e incompletamente definidas en primera y/o segunda forma canónica: Diagrama de Karnaugh. Síntesis de funciones simples y múltiples.

### **Tema 3: Circuitos combinatorios en general:**

Multiplexer ( Mux): Descripción de mux's analógicos y digitales. Análisis del 74151.

Aplicaciones: empleo de Mux digital para resolución de funciones. Uso como llave digital.

Demultiplexer ( deMux): Descripción de mux's analógicos y digitales. Decodificadores: análisis del 74138. Codificadores de prioridad. Comparadores de igualdad y magnitud. Descripción y aplicaciones.

### **Tema 4: Flip – Flops:**

Concepto de memoria. Realimentación positiva. Latch RS basado en compuertas NOR y NAND. El flip-flop. Clasificación. Diagrama de estados y transiciones. Concepto de estados estables, inestables y metaestables.

Descripción de funcionamiento por tabla de verdad. Problema del uso de flip-flops en cascada.

Flip-flop sincrónico disparado por nivel: Síntesis de flip-flops tipo RS, JK, D y T en base a RS asincrónico. Configuración simple y

maestro-esclavo. Descripción, ejemplos y aplicaciones. Problema en la captura de “unos”. Análisis temporal según diagrama de tiempos. Concepto de tiempo de set-up y tiempo de hold.

Flip-flop síncrono disparado por flanco: RS, JK, D y T.

Descripción y aplicaciones. Implementación de flip-flops D y T a partir de uno tipo JK. Análisis del latch 7474 y el flip-flop tipo JK 7473.

**Tema 5: Contadores:**

Clasificación. Contador asíncrono binario y de número arbitrario. Descripción por tabla de verdad. Análisis temporal con diagrama de tiempos.

Aplicaciones como contador y divisor de frecuencia. Limitación en la velocidad de respuesta por retardos de estabilización de las salidas.

Tiempo de skew. Análisis del contador tipo CD4040.

Contador síncrono binario, de décadas, anillo y Johnson.

Descripción por tabla de verdad. Análisis temporal con diagrama de tiempos. Comparación con el contador asíncrono en velocidad, consumo y complejidad.

Análisis de los contadores tipo BCD CD14518 y binario 74191.

**Tema 6: Registros de desplazamiento:**

Clasificación. Registros tipo PISO ( carga paralelo – salida serie) , SIPO

( entrada serie y salida paralelo) y universal.

Concepto de conversión de datos paralelo y transmisión serie de datos.

Descripción por tabla de verdad y aplicaciones. Registro tipo PISO: Modo de carga paralelo asíncrono y síncrono. Análisis de los registros de desplazamiento tipo PISO de 4 bits CD4014, tipo SIPO de 4 bits CD4015 y universal CD4034 de 8 bits.

**Tema 7: Sistema de representación numéricos:**

Concepto de cantidad, medida y número. Sistemas de representación de números sin signo: decimal, binario, octal, hexadecimal y BCD. Código de Gray. Pasaje de un sistema a otro.

Operaciones matemáticas con números binarios: suma, resta, multiplicación y división. Concepto de rango, overflow y carry

Sistema de representación de números binarios con signo: signo y módulo, complemento a 1 y complemento a 2. Análisis comparativo de cada uno. Operaciones matemáticas. Concepto de rango, overflow y carry.

Representación de números en punto fijo y punto flotante.

Representación en punto flotante normalizado según norma IEEE P754.

Formatos definidos. Tipos de datos: normalizados, no normalizados, ceros, infinitos y NaNs. Errores. Comparación con el sistema de punto fijo. Operaciones matemáticas.

**Tema 8:**

**Circuitos aritméticos:**

Síntesis de un sumador entre dos operadores de un bit. Realización de semisumador. Sumador a base de semisumadores.

Sumador de n bits a base de sumadores unitarios en configuración tipo cascada. Descripción y análisis del sumador completo de 4 bits comercial, 7483. Concepto de tiempo de respuesta del sumador, análisis temporal.

Lógica para la previsión del arrastre ( Carry Look Ahead).

Comparación temporal con el sumador en cascada. Análisis del 74182.

Circuitos restadores: síntesis de un restador completo.

Implementación de un restador con semirestadores.

Multiplicadores binarios sin signo: Algoritmo Tradicional y de Booth.

Implementación de un circuito sumador – restador. Concepto de ALU

( unidad aritmético – lógica). Análisis de la ALU 74181.

**Tema 9:**

**Familias lógicas:**

Requerimientos para una compuerta ideal. Concepto de tiempo de respuesta, consumo, tensión de alimentación, inmunidad al ruido y conectividad entre compuertas.

Familia DL: Descripción. Problemas de conectividad y diversidad de funciones a implementar.

Familia TTL: Repaso de configuraciones y modos de operación de los transistores bipolares.

Evolución de la lógica desde RTL. Descripción de un inversor standard. Análisis de la función de transferencia. Problema de velocidad: Configuraciones de salida: evolución hacia las salidas Totem-Pole, Open-collector y tri-state.

Análisis de un inversor con salida Totem-Pole. Función de transferencia.

Concepto de Fan-Out y Fan-In. Especificaciones del

fabricante. Margen de ruido: modos de evaluación. Consumo:

dependencia con la frecuencia de operación. Tiempos de retardo:

dependencia con la frecuencia de operación. Implementación de funciones básicas: AND, OR, etc.

Subfamilias TTL actuales: LS ( Low Power Schottky), ALS ( Advanced Low Power Schottky) y FAST. Características.

Familia CMOS: Repaso de configuraciones y modos de

funcionamiento de transistores tipo MOS. La lógica serie 4000.

Descripción de un inversor.

Anàlisis de operaci3n. Funci3n de transferencia. Consumo. Velocidad de respuesta. Màrgen de ruido. Comparaci3n con la serie TTL standard.  
Implementaci3n de funciones bàsicas: AND, OR, etc.  
Evoluci3n hacia una tecnologìa mas ràpida y compatible con la TTL. Las subfamilias HC, HCT, AC y LV CMOS ( Low Voltage CMOS).  
Familia ECL: La necesidad de mayor velocidad con transistores bipolares. Descripci3n de la serie de l3gica acoplada por emisor tipo MECL.. Niveles l3gicos. Ventajas y desventajas. Evoluci3n hacia la subfamilia PECL para compatibilizaci3n con TTL.  
Problemas de interconexiones entre las distintas familias. Soluciones.

**Tema 10:**

**Anàlisis y sàntesis de circuitos digitales:**

Métodos de descripci3n del funcionamiento de circuitos sincr3nicos: diagramas y tablas de estado. Método de Mealy y Moore. Anàlisis de estados redundantes.

Anàlisis de circuitos digitales: Método de anàlisis por tabla de verdad. Método heurístico. Método de descripci3n por tabla de estado. Anàlisis por hardware: tècnicas y herramientas. Métodos asistido por computadora. Algoritmos de simulaci3n.

Sàntesis de circuitos digitales: Método de sàntesis por tabla de verdad. Implementaci3n de funciones con Mux, DeMux y ROM.

Sàntesis por descripci3n del diagrama de estado empleando màquinas de estado del tipo Mealy y Moore. Ejemplos de aplicaci3n de contadores y detectores de secuencia. Circuitos de memoria finita de entrada y salida.

Tècnicas heurísticas de sàntesis. Método por empleo de Lenguaje de descripci3n de Hardware ( HDL).

Sàntesis de funciones por software.

**Tema 11:**

**Conversores anal3gicos-digitales y digitales anal3gicos:**

Necesidad de comunicaci3n con el mundo anal3gico.

Repaso de amplificadores operacionales. Tipos de configuraciones. Circuitos sumadores, comparadores e integradores.

Convertor digital-anal3gico: curva de transferencia ideal. Errores: cuantizaci3n, offset, linealidad, ganancia, monotonicidad. C3digos perdidos. Limitaciones de velocidad: El setting time. Glitches.

Clasificaci3n segùn tipo de dato ( serie y paralelo).

Convertor D/A de resistencias pesadas: Descripci3n.

Convertor D/A con red ladder R2R y C2C. Descripci3n.

Convertor D/A tipo multiplicativo. Ejemplo del DAC0800.

Convertor anal3gico-digital: curva de transferencia ideal. Errores: cuantizaci3n, linealidad, offset y ganancia. Clasificaci3n de conversores segùn tipo de dato ( serie y paralelo).

Convertor A/D tipo Flash. Anàlisis del ADC0820.

Convertor tipo rampa:simple, doble, cuàdruple.

Convertor A/D a base de convertor D/A: Convertor A/D tipo Contador.

Convertor A/D tipo seguidor. Convertor A/D tipo Modulación Delta. Convertor A/D de aproximaciones sucesivas. Descripciones de los mismos. Limitaciones de velocidad de respuesta: Tiempo de conversión. Anàlisis del ADC0801.

Convertor A/D de aproximaciones sucesivas con transmisión serie. Anàlisis del ADC12030.

Concepto de ancho de banda y frecuencia de muestreo: El teorema de muestreo. Necesidad de captura de la señal de entrada: Empleo de muestreadores tipo Sample&Hold y Track&Hold. Definiciones de: Tiempo de apertura, incertidumbre en el tiempo de apertura, tiempo de adquisición y tiempo de establecimiento. Anàlisis del LM398. Criterio general para selección de convertidores y muestreadores.

## Tema 12: **Lógica programada:**

Memorias tipo RAM ( Random Access Memory): SRAM ( estàtica), DRAM

( dinàmica), NVRAM ( no volàtil) y CRAM (Contention Random Access Memory). Organización interna. Ciclos de lectura y escritura. Aplicaciones. Anàlisis de la MC6264

Memorias tipo ROM ( Read Only Memory): ROM ( Read Only Memory), PROM ( Programmable Read Only Memory), EPROM ( Erase Read Only Memory) y EEPROM ( Electrically Erase Read Only Memory). Ciclos de lectura. Aplicaciones. Anàlisis de la 27C512.

Beneficios de una arquitectura universal. Ventajas del uso de dispositivos programables.

Evolución desde PROM a arquitecturas tipo PAL ( Programmable Array Logic). Descripción de la PAL 18L8. Ventajas y desventajas.

La PAL reprogramable: la GAL ( Generic Array Logic). Descripción de la 16V8A.

Evolución hacia dispositivos de mayor integración y reconfiguración. Soluciones globales con dispositivos MPGA ( Mask Programmed Gate Array) y ASIC ( Application Specific Integrated Circuit).

Soluciones de menor costo y volumen de integración: Los FPL ( Field Programmable Logic tipo EPLD ( Erasable Programmable Logic Device), FPGA. ( Field Programmable Gate Array). Elementos básicos de conexión: antifuses, switches EPROM/EEPROM y llaves SRAM.

La EPLD: Estructura funcional. Anàlisis del EP7128 de Altera.

Descripción. Ambiente de diseño con el software MAXPLUS2 para la edición, simulación y programación de EPLD's. Idem de la serie CPLD XC9500 de Xilinx.

La FPGA: Diferencias significativas respecto de la EPLD.

Descripción y anàlisis de la serie FLEX 10K de Altera. Idem de la serie XC4000 de Xilinx.

Métodos de programación del hardware de dispositivos reconfigurables: Ambiente gráfico de diseño a través de esquemáticos. Introducción al Lenguaje de programación para desarrollo de hardware HDL ( Hardware Description Language). Ejemplo de programación de circuitos EPLD: Diseño de un frecuencímetro.

Comparación con el diseñado empleando lógica convencional.