

Apuntes de Clases

Circuitos Monoestables.

Realizado por Sergio Noriega

Introducción a los Sistemas Lógicos y Digitales
Departamento de Electrotécnia
Facultad de Ingeniería
Universidad Nacional de La Plata
2003

INDICE

- 1 – Introducción.
- 2 - Circuitos monoestables de relajación.
- 3 - Circuitos monoestables secuenciales.
- 4 - Bibliografía.

1 – Circuitos monoestables:

En determinadas aplicaciones se necesita de algún circuito que sea capaz de generar un pulso ya sea positivo ó negativo, es decir que permanezca en “1” ó “0” durante un lapso dado de tiempo respectivamente y luego retorne a su nivel lógico inicial, según se ve en la siguiente figura:

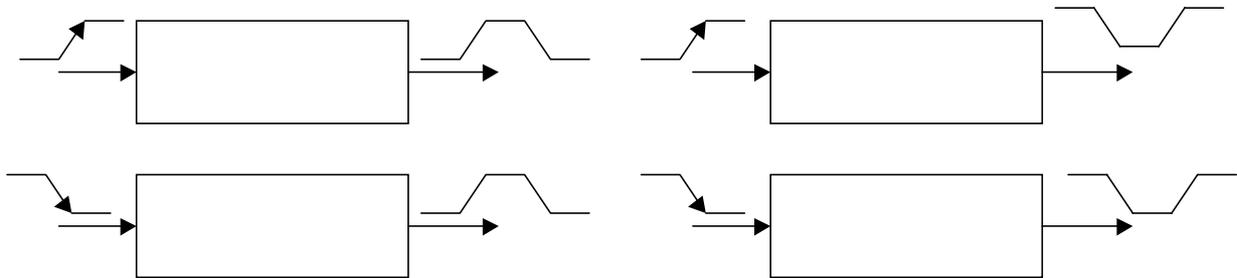


Figura 1

Este circuito se denomina monoestable ya que logra cambiar su estado (nivel lógico “0” ó “1”) inicial a su estado complemento (nivel lógico “1” ó “0”) durante un cierto tiempo que es fijado ya sea externamente por una red R-C ó mediante el empleo de algún circuito contador que luego de un número determinado de ciclos de reloj cambie nuevamente el estado lógico de su salida.

En general el mismo es disparado por alguno de los flancos ascendente ó descendente de una señal de control.

En dicha figura se ven las cuatro posibilidades que existen.

2 – Circuitos monoestables de relajación

Este tipo de monoestables se basan en mantener un dado nivel lógico durante un cierto tiempo el cual es ajustado por la carga ó descarga de un capacitor a través de una dada resistencia, es decir, que se trata de un circuito de relajación donde mediante un comparador de niveles de tensión se detecta cuando una dada tensión (en general la del capacitor) alcanza un determinado nivel produciéndose allí un cambio de nivel lógico en el dispositivo.

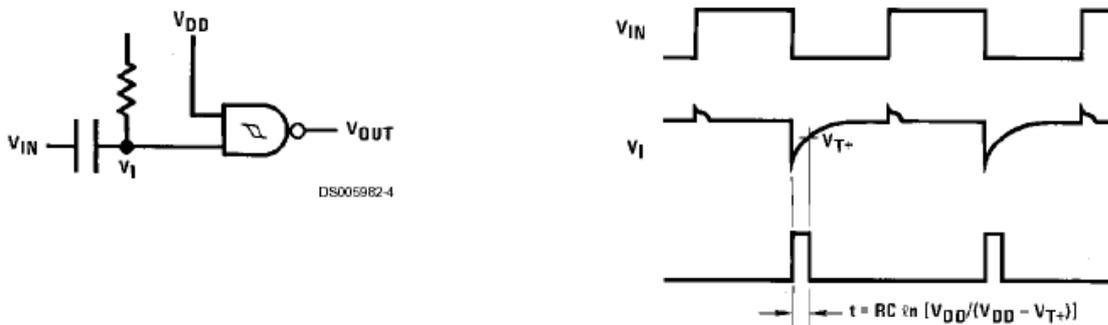


Figura 2

En la figura 2 vemos un ejemplo de un monoestable implementado con una compuerta Schmitt Trigger y una red R-C, disparado por flanco decreciente, como así también los diagramas de tiempo correspondientes a la entrada y salida del mismo.

Dicha red R-C funciona como un filtro pasa-altos donde deja pasar solamente las variaciones rápidas de señal por el capacitor. Es por eso que se obtiene a la entrada de la compuerta los picos de tensión graficados, siendo el correspondiente al flanco ascendente casi nulo debido a que actúan los diodos internos de protección a la entrada de la compuerta que se polarizan en directa, manteniendo la tensión de entrada a niveles de tensión de hasta +0,6V por arriba de la tensión positiva de alimentación.

El flanco descendente es copiado a la salida de la red.

La duración de esta transición en V_i (de caída abrupta y carga exponencial) que entra a la compuerta depende de los valores de R y C, mientras que el ancho del pulso de salida de la compuerta depende del nivel de trigger de entrada $V_t(+)$, de R, de C y de la tensión de alimentación Vdd.

En caso de necesitar un pulso negativo disparado por este flanco, bastaría con agregar un inversor a la salida de esta compuerta que por ejemplo para el caso de la cuádruple NAND Schmitt Trigger de dos entradas, la CD4093, bastaría usar como inversor alguna de las otras tres compuertas del mismo chip.

En la figura 21, vemos un circuito para generar un pulso a su salida pero sensible al flanco ascendente de la señal de entrada.

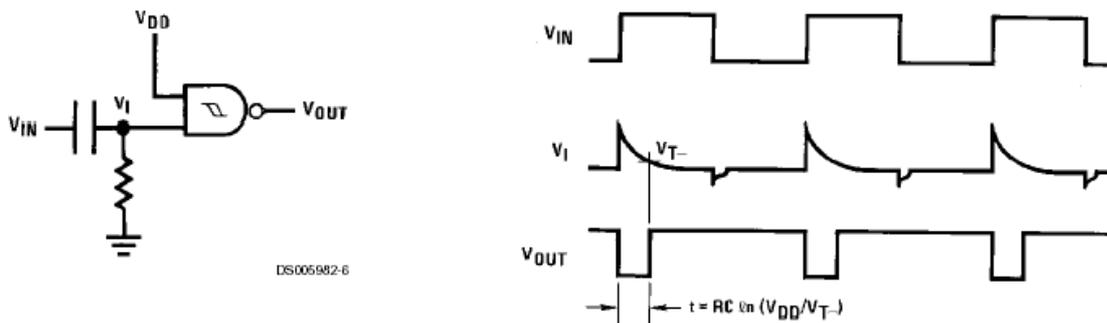


Figura 3

En este caso, la resistencia está conectada a masa, lográndose con esto cambiar la referencia.

Se obtiene así un pulso negativo cuya duración depende de los mismos parámetros que con el circuito anterior.

Nuevamente, si queremos tener un generador de pulso positivo disparado por flanco ascendente bastará con agregar un inversor al circuito de la figura 3.

Otro circuito un poco mas sofisticado es el multivibrador monoestable integrado como por ejemplo el CD4528 (doble monoestable **redisparable**), CD4538 (doble monoestable **redisparable** de precisión) en tecnología CMOS ó el 74122 (monoestable **redisparable**), 74123 (doble 74122) y el 74221 (doble monoestable **no redisparable** de precisión) en tecnología TTL, tanto en las versiones LS, ALS ó F como también en las CMOS rápidas HC, HCT ó ACT.

En ambos casos se encuentran integradas con algunas mejoras ambos circuitos de disparo, donde se puede seleccionar con entradas de control el flanco de la señal de entrada con el que se desea disparar al monoestable, como así también disponer de la salida normal y su negada ya que todos los monoestables de este tipo tienen salidas Q y Qnegada.

A esta altura, es necesario antes de describir algunos circuitos, explicar la diferencia entre monoestables redispalables y no redispalables.

Monoestables no redispalables y redispalables:

Una clasificación que puede hacerse dentro de los monoestables es la de si son o no redispalables.

Monoestable no redispalable es aquél que si luego de recibir a su entrada una transición que genere un pulso (por ejemplo un flanco ascendente), si durante la duración del mismo se produce un flanco del mismo tipo (para el ejemplo, también ascendente) la salida del monoestable lo ignorará y terminará dicho pulso en el tiempo definido por R, C y Vdd (si es CMOS).

El 74LS221 es un ejemplo de este tipo de monoestable.

Vemos en la figura 4 un gráfico que describe lo mencionado.

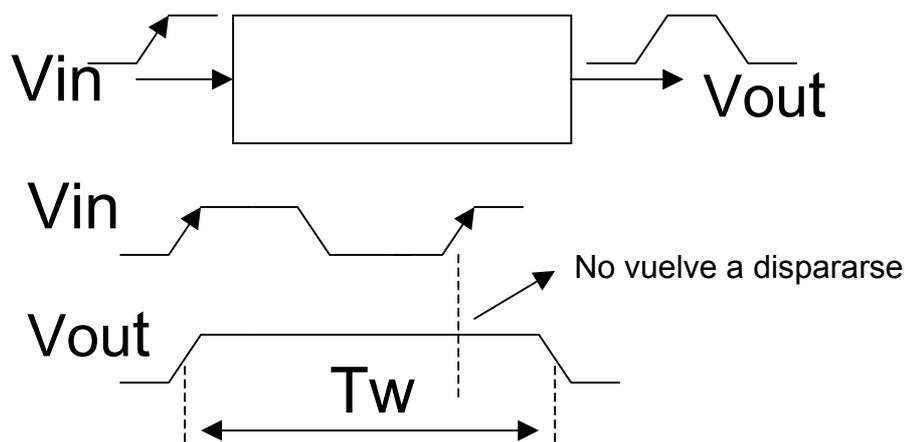


Figura 4

En cambio un **monoestable redispalable** es aquél que si recibe durante la generación de un pulso, un nuevo flanco que habilite el disparo del mismo, a partir de ese momento, el pulso se alargará un tiempo T_w más, igual al definido por los componentes externos R y C y la tensión Vdd (si es CMOS).

En la figura 5 vemos un gráfico donde se detalla lo descrito.

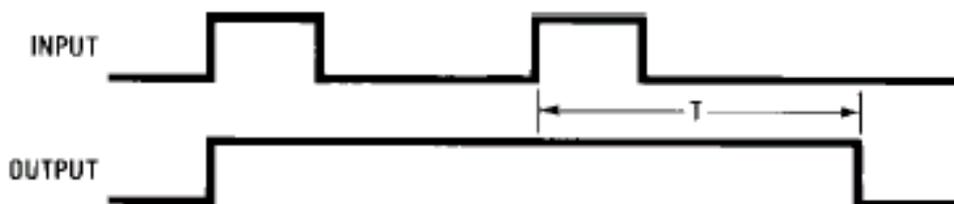


Figura 5

En la figura 6 vemos como ejemplo el circuito del 74LS221, doble monoestable **redisparable** de precisión y en la figura 7 la tabla de verdad que describe el funcionamiento del mismo.

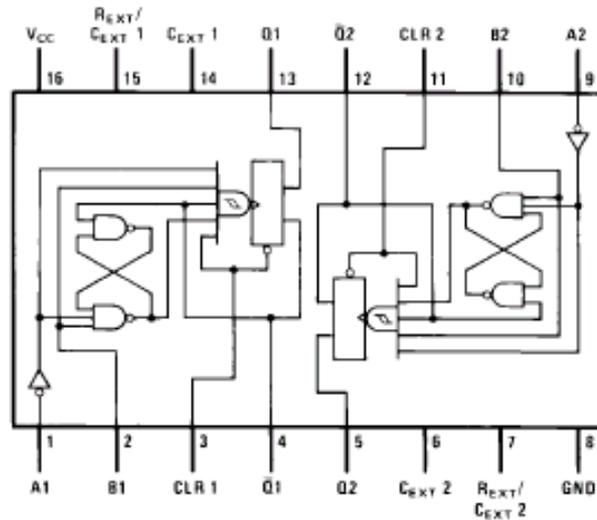


Figura 6

Inputs			Outputs	
CLEAR	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⌊	⌋
H	↓	H	⌊	⌋
* ↑	L	H	⌊	⌋

H – High Logic Level
 L – Low Logic Level
 X – Can Be Either Low or High
 ↑ – Positive Going Transition
 ↓ – Negative Going Transition
 ⌊ – A Positive Pulse
 ⌋ – A Negative Pulse

Figura 7

El 74LS221 cuenta con dos entradas A y B, las cuales definen con qué flanco se activará el circuito de temporización.

Según sea la selección, se entra por una de dichas entradas y la otra se conecta a masa ó a Vcc.

Por ejemplo si queremos que se dispare con el flanco ascendente, debemos entrar por B y dejar A a masa. Por el contrario si deseamos que el disparo sea con el flanco descendente, debemos poner a B a Vcc y entrar por A.

El tiempo de temporización, es decir, el tiempo en que durará el pulso, depende de los valores de la resistencia y capacitor externos.

El conexionado de muestra en la figura 8.

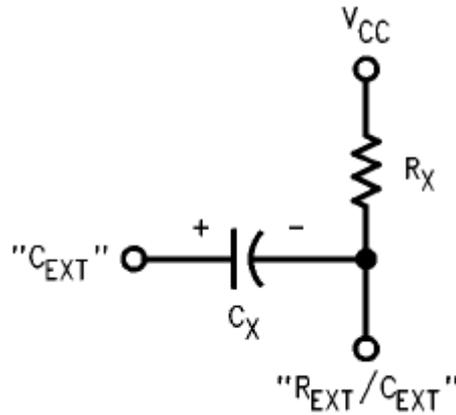


Figura 8

En la figura 9 se dá una curva para calcular el tiempo Tw de duración del pulso, en función de R y C.

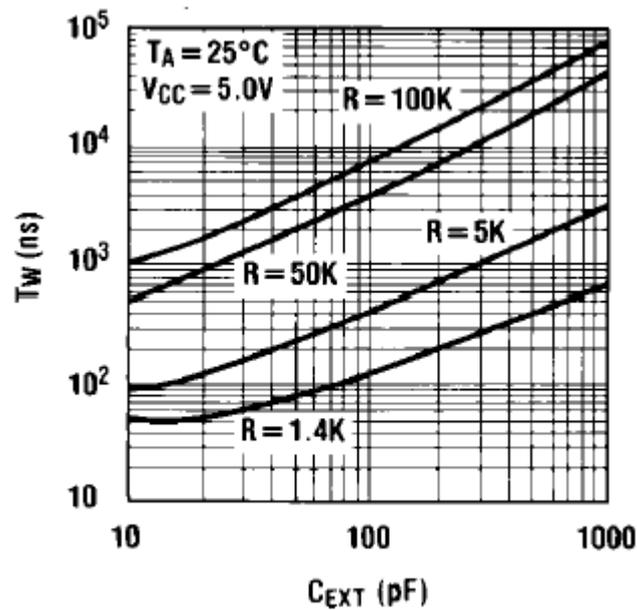


Figura 9

Según la hoja de datos, se recomienda que R esté comprendida entre 2 y 100Kohms, mientras que C entre 10pF y 10uF.

Se menciona que con $2K$ y $C=0pF$ (sin capacitor externo) se logra un tiempo de $30ns$, el mínimo posible (Si bien C_{ext} es nulo quedan las capacidades parásitas entre bornes del integrado).

Por otro lado seleccionando convenientemente el capacitor se puede conseguir tiempos de temporización de hasta $70segundos$. El máximo valor a alcanzar dependerá entre otras cosas de la calidad del capacitor, debiéndose utilizar uno de baja resistencia de pérdidas.

Si bien hay curvas para el cálculo del tiempo de temporización, éste se puede calcular con mayor precisión empleando la expresión: $T_w = R C \ln(2)$ para este integrado.

Para el caso de circuitos monoestables CMOS, T_w además de depender de R y C , depende de la tensión de alimentación V_{dd} .

Por último cabe destacar que como se ha visto en los circuitos detallados anteriormente, existen variaciones de T_w con la temperatura, también debidos a la estabilidad de los componentes externos R y C como internos de los dispositivos.

Como ejemplo de un circuito monoestable redispensible, tenemos el 74LS122.

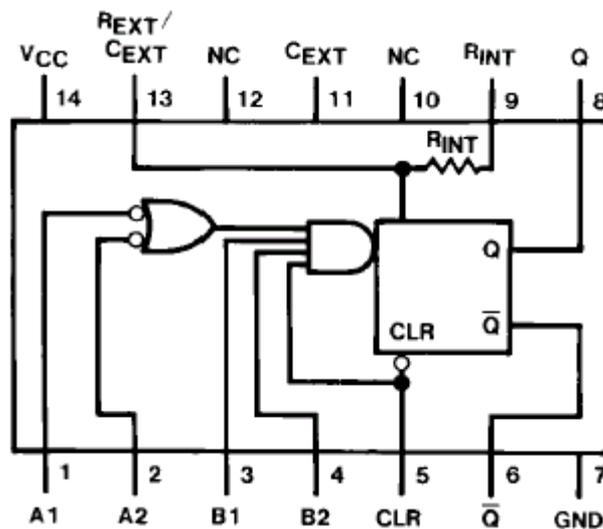


Figura 10

En la figura 10 vemos el circuito esquemático del mismo.

En la figura 11 tenemos la tabla de verdad del monoestable.

En este caso, tenemos un solo monoestable en el chip y 4 entradas que cumplen las funciones de selección y entrada de señal, $A1$, $A2$, $B1$ y $B2$.

De igual forma que con el 74LS221, el tiempo del pulso a generar dependerá de los valores de R y C que se conecten.

En la hoja de datos tenemos el gráfico de T_w en función de R y C que se muestra en la figura 12.

En la figura 13 tenemos la representación temporal del redispreso con la ecuación que vincula T (tiempo total del pulso), R y C .

Aquí T es la suma de los tiempos T_w mas el retardo de propagación t_{pd} .

Esto siempre está presente pero a veces cuando el tiempo T_w es del orden del microsegundo o mayor se puede despreciar el t_{pd} que es de algunas decenas de nanosegundos.

Inputs					Outputs	
CLEAR	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	↑	H	⌋	⌋
H	L	X	↑	↑	⌋	⌋
H	X	L	↑	H	⌋	⌋
H	X	L	H	↑	⌋	⌋
H	H	↓	H	H	⌋	⌋
H	↓	↓	H	H	⌋	⌋
H	↓	H	H	H	⌋	⌋
↑	L	X	H	H	⌋	⌋
↑	X	L	H	H	⌋	⌋

H - High Logic Level
 L - Low Logic Level
 X - Can Be Either Low or High
 ↑ - Positive Going Transition
 ↓ - Negative Going Transition
 ⌋ - A Positive Pulse
 ⌋ - A Negative Pulse

Figura 11

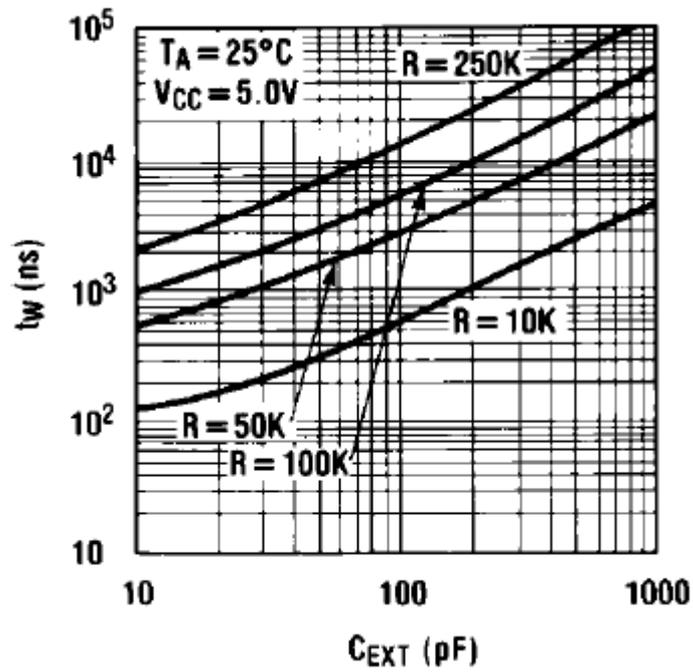
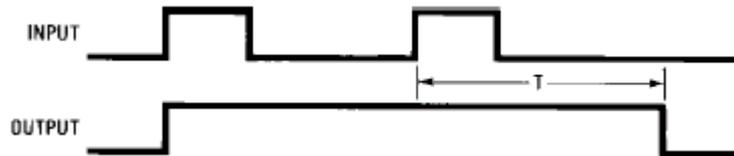


Figura 12



$$T = T_W + t_{PLH} = 0.50 \times R_X \times C_X + T_{PLH}$$

Figura 13

Como ejemplo de aplicación de este monoestable redisparable, veamos el siguiente problema:

Se necesita implementar un circuito que sea capaz de detectar cuando se produzca la caída de una línea de señal digital de clock cuya frecuencia es de 100KHz.

Para diseñar el circuito requerido podemos emplear un monoestable redisparable el cual se dispare permanentemente con alguno de los dos flancos de la señal de clock que hay que testear.

El período de la señal de clock es de 1/100KHz ó 10us.

Si ajustamos el tiempo de T_w a un valor superior a 10us, la salida del mismo estará permanentemente en alto (si empleamos pulso positivo) ya que siempre aparecerá un flanco que redispere al monoestable.

Solamente bajará cuando al haber pasado los T_w segundos no se haya presentado otro flanco de la señal de clock, lo cual significará que la misma ha caído.

La selección del flanco es indistinta en este caso.

Otro circuito muy popular que entre otras aplicaciones puede funcionar como un monoestable es el LM555 (National) o el MC1455 (Motorola).

NOTA: La descripción de este circuito se explica en el apunte de clases teóricas: " Circuitos Generadores de Reloj ".

En la figura 14 vemos el esquemático del MC1455 y en la figura 15 el conexionado para su uso como monoestable.

Supongamos que la tensión de entrada en el pin 2 (entrada "trigger") está en nivel alto ó V_{cc} , esto hace que la entrada S del flip-flop sea "0".

Suponiendo además que la tensión en el capacitor es aproximadamente 0V, es decir, que el transistor del MC1455 está conduciendo (esto ocurre si /Q es "1" o lo que es lo mismo Q en "0") tendremos que la salida del comparador A nos dará un nivel bajo en R.

En tal condición, $R = S = "0"$ y se mantiene el estado anterior que define la salida Output (pin 3) como $Q = "0"$.

Cuando la tensión en la entrada de "trigger" cae por debajo de 1/3 de V_{cc} , la salida del comparador B pasa a V_{cc} con lo cual pone a S en "1". Esto hace que Q pase a "1" y /Q a "0".

Como el transistor se maneja por /Q, éste se corta y el capacitor se comienza a cargar con la constante R-C.

Cuando la tensión en el pin 6 llega a ser superior a $2/3$ de V_{cc} se resetea el flip-flop, descargando rápidamente al capacitor y volviendo al nivel bajo a la salida.

Una vez que el flip-flop ha sido disparado no hay posibilidad de que se redispere hasta que no haya terminado el proceso de temporización.

NOTA:

Es importante aclarar que lo explicado es válido siempre y cuando en la entrada de “trigger” se presente un pulso (en este caso negativo) de duración siempre menor que la de T_w ya que si el capacitor llega a los $2/3$ de V_{cc} y todavía está la entrada S en “1” aparecerá una combinación de entradas prohibida en el flip-flop ($R = S = “1”$).

El tiempo T_w está dado por la expresión $T_w = 1,1 R \times C$.

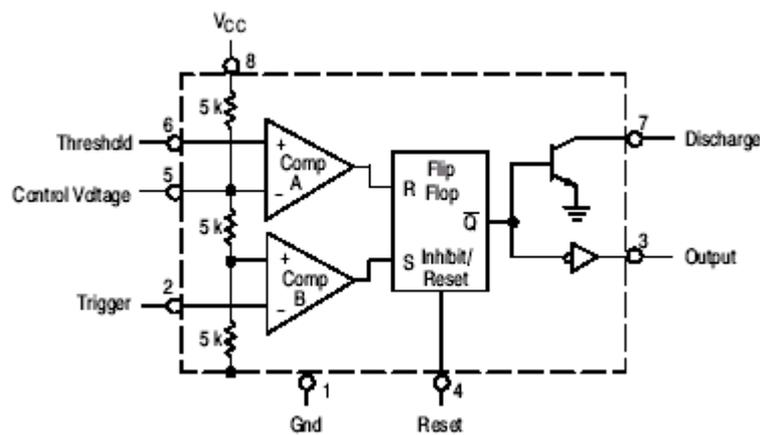


Figura 14

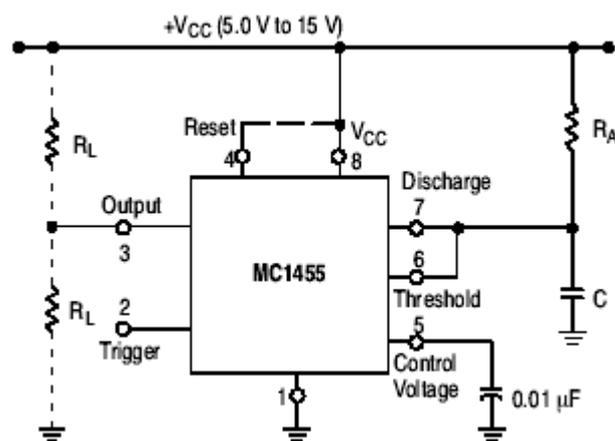


Figura 15

3 – Circuitos monoestables secuenciales

Otra forma de poder implementar circuitos monoestables es empleando lógica secuencial, es decir, utilizando ciclos de reloj pre-establecidos a fin de lograr la temporización necesaria para generar pulsos de duración controlada.

Esta opción tiene la ventaja de que no utiliza componentes externos como capacitores y/o resistencias con la ganancia de que si se emplea un generador de reloj a cristal se pueden lograr tiempos T_w muy precisos.

Dos formas posibles para implementar circuitos secuenciales monoestables son:

Monoestables a base de máquinas de estado.

Monoestables a base de contador.

El primer caso es interesante cuando no es necesario disponer de un monoestable donde T_w sea variable.

Monoestables a base de máquinas de estado.

A continuación tenemos un ejemplo de un monoestable no redispensible disparado por flanco descendente implementado con máquina de Moore:

En la figura 16 tenemos el diagrama de estados y en la figura 17 la tabla de excitación del circuito.

En la figura 18 se dibuja el circuito implementado con Flip-Flops tipo "D" con entradas asincrónicas de /CLEAR y de /PRESET.

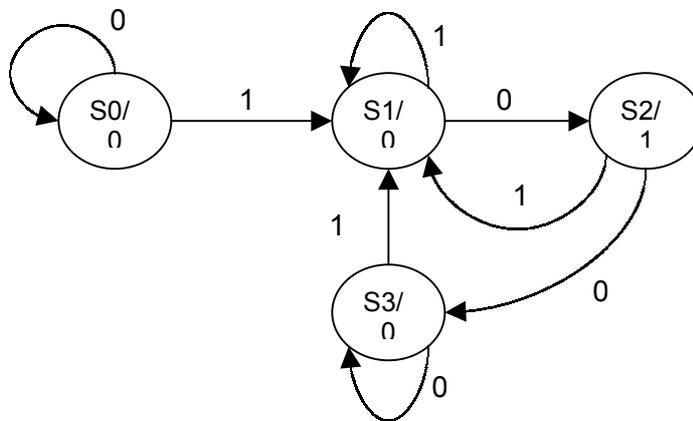


Figura 16

Q1n	Q0n	E.actual	Estado siguiente		Q1n+1	Q0n+1	D1n D0n		Z
00	S0	S0	S0	S1	00	01	00	01	0
01	S1	S2	S2	S1	10	01	10	01	0
10	S2	S3	S3	S1	11	01	11	01	1
11	S3	S3	S3	S1	11	01	11	01	0
		1	0		0	1	0	1	
		X			X		X		

Figura 17

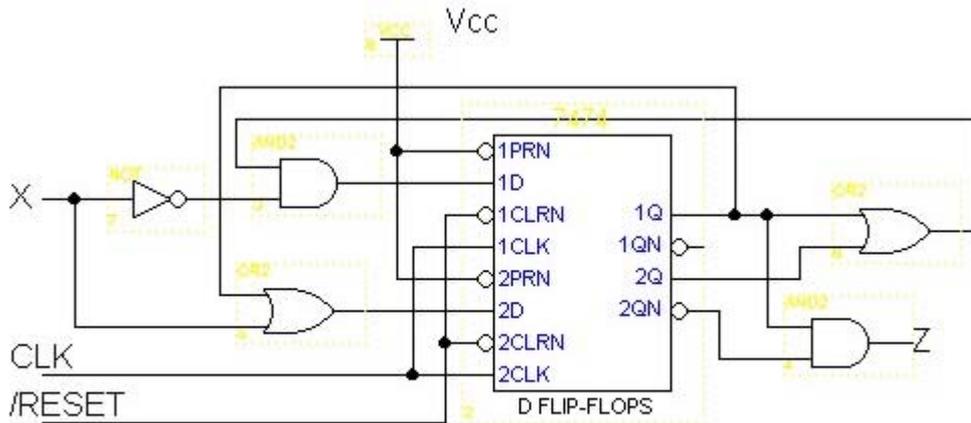


Figura 18

A fin de contemplar que al encender el circuito la entrada esté en “0” y se dispare accidentalmente, se comienza con el estado S0 donde sólo si la entrada vale “1” se comenzará a chequear a la misma.

Al pasar la entrada por primera vez a “1” el estado S0 no se vuelve a utilizar mas.

Sólo cuando se detecte que la entrada bajó (transición de “1” a “0”) el monoestable se dispara y la salida pasa de “0” a “1”.

Para este ejemplo, la duración de este pulso es de un ciclo de reloj, por lo tanto si estando en S1 se detecta un “0” se pasa a S2 como se explicó y si se sigue detectando un “0” debemos ir a otro estado S3 para forzar a que la salida vaya a “0” ya que queremos que el pulso sea de un sólo Tclk como dijimos anteriormente.

Con este tipo de implementación existe un problema. Todo circuito secuencial empleado para trabajar con entradas asincrónicas a un reloj de referencia, es “ciego” en el lapso de tiempo que dura dos transiciones activas del reloj, ya que los elementos de memoria “muestran” la o las entradas en cada flanco activo de reloj de los flip-flops.

Si para este caso la entrada llegara a variar varias veces en el lapso de Tclk, el circuito sólo tomará como real, el último valor lógico de la entrada antes del flanco que haga cambiar a los flip-flops.

Por tal motivo, es razonable elegir la frecuencia de reloj lo suficientemente grande respecto a la máxima variación esperada en la señal de entrada. Por ejemplo si la señal proviene de un elemento sensor industrial como un presostato, las variaciones mas rápidas esperadas pueden ser desde milisegundos a segundos, por lo que un reloj del orden de los kilohertz sería mas que suficiente.

Pero en este caso estaríamos ya definiendo la duración de Tw que es un ciclo de reloj. Si la frecuencia es de 10KHz, el Tclk será de 100us.

Si para este caso necesitáramos que Tw sea de digamos 1ms, deberíamos hacer la máquina de estados con diez ciclos de espera al detectar el flanco que dispara al monoestable.

En síntesis, la selección de la frecuencia de reloj nos restringue en el valor mínimo de Tw a un ciclo de reloj y al valor máximo por la cantidad razonable de estados que nos demandaría realizar N retardos de Tclk.

Este tipo de implementación es útil cuando el Tw es de hasta algunas unidades de ciclos de reloj como máximo.

Otro problema que se puede presentar es si se desea implementar un monoestable con tiempo T_w variable.

Realizarlo con máquina de estados implica al menos dos posibilidades:

La primera emplear un generador de reloj variable tal que esto permita variar el T_w .

La segunda es si no fuera posible modificar el reloj, disponer de entradas de selección tal que se pueda variar la cantidad de estados de espera para generar el T_w . Esto requiere que si se tienen por ejemplo 3 (tres) líneas de selección de T_w , generar 8 (ocho) valores diferentes de T_w .

Esta última opción hace al diseño muy engorroso, resultando en un diseño poco práctico.

Monoestables a base de contador.

Dado que existen contadores binarios comerciales programables, es posible implementar un circuito monoestable donde el tiempo de duración del pulso sea controlado por los mismos.

La programación del T_w se hace a través de la selección de precarga al contador utilizado para el diseño.

Por ejemplo, si deseáramos implementar un monoestable no redispersable disparado por flanco podríamos usar en principio el contador binario de 4 bits 74LS191 (el cual fué explicado en el apunte de " Contadores ") para emplearlo en modo de conteo descendente, el cual además permite precargar sus salidas a cualquier valor desde 0000 hasta 1111.

Podemos entonces sintetizar un circuito tal que cuando se detecte el flanco deseado de disparo haga que por un lado ponga la salida a "1" mientras que habilite al contador para que reciba pulsos de reloj a fin de que comience a contar en forma decreciente.

Cuando el mismo alcance el valor de 0000, ponga a "0" la salida y vuelva a la condición inicial para esperar un nuevo flanco de disparo.

El T_w se podría, de esta manera, ajusta desde 1 hasta 15 ciclos de reloj.

De ser necesario mayor resolución para un valor fijo de T_{clk} , se podrían poner mas contadores en cascada.

Diseñaremos un monoestable a base de un contador 74LS191 tal que se dispare con flanco ascendente de una señal X, pasando la salida a un estado alto activo durante un tiempo T_w definido por el valor de N ciclos del reloj del contador.

Recordando las características del contador 74LS191, éste tiene:

entradas de datos: A,B, C y D para la precarga paralelo de datos.

entrada de reloj, CLK activa en flanco ascendente.

entrada de habilitación de pulsos de reloj, activa en bajo.

entrada asíncrona de comando para carga paralelo, activa en bajo.

entrada para selección de modo de conteo, ascendente en estado bajo y viceversa.

salidas de datos: Qa, Qb, Qc y Qd.

salida de Terminal Count (MAX/MIN ó TC).

salida de Ripple Carry (RC).

NOTA: Por una cuestión didáctica, emplearemos circuitos monoestables junto con el contador para sintetizar el monoestable. Se hará un circuito por cada señal a comandar. Esto es posible, no obstante, simplificarlo con una sola máquina de estado. Se verá en un ejemplo posterior de que forma se puede simplificar el diseño aún mas, cambiando la estrategia.

Como se va a usar el contador LS191, debemos hacer que al detectar el flanco ascendente de la señal X, por un lado la salida del circuito total se ponga a "1" y comience simultáneamente a contar el contador en forma descendente un número de ciclos de reloj igual al previamente programado en el mismo.

Al finalizar el conteo, es decir, cuando el contador llegue a "0" debemos bajar la salida del monoestable para finalizar el pulso y por otro lado preparar todo para que el circuito esté en condiciones de volver a detectar otro flanco ascendente.

Las señales que se pueden usar son:

LOAD del LS191. Para cargar en forma asincrónica al contador cada vez que se detecta un flanco ascendente en X.

Por lo tanto se puede usar un circuito con máquina de estados para detectar este flanco y por un lado generar el pulso de salida del monoestable y por el otro comandar la carga del contador.

ENABLE del LS191. Esta entrada que comanda al contador habilitando o no los pulsos de reloj que ingresan en el mismo, se puede generar en base a la entrada X y a la señal de RC (Ripple Carry) que avisa cuando se termina de contar.

El circuito para generar LOAD se muestra en la siguiente figura junto con el diagrama de estados y el diagrama de tiempos simulado en el MAX-PLUS II del software de Altera

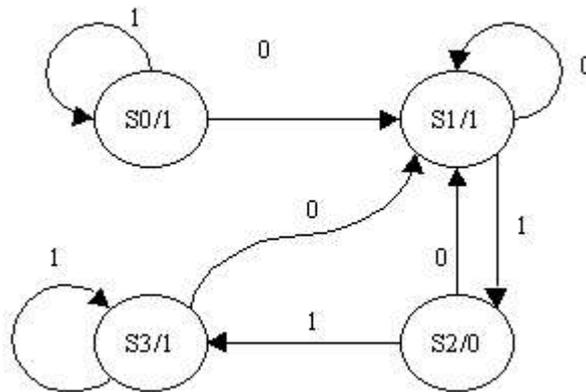


Figura 19

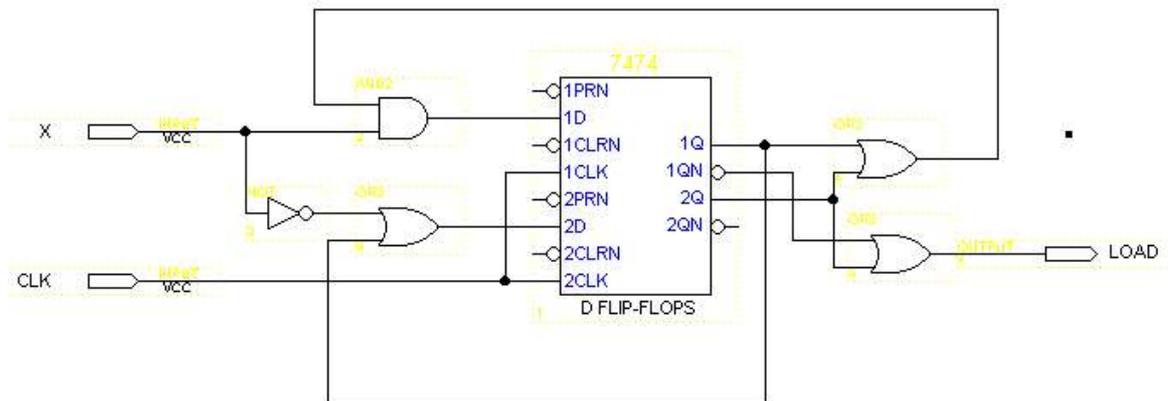


Figura 20

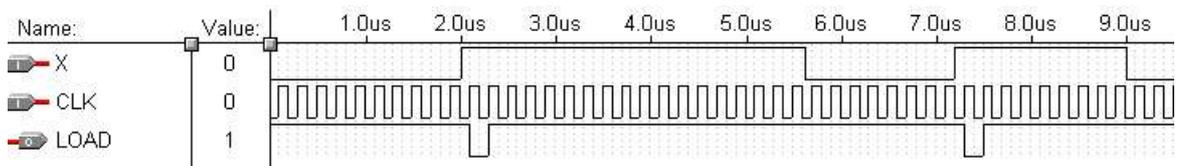


Figura 21

En las siguientes figuras vemos el diagrama de estados, esquemático y diagramas de tiempos simulados del circuito que en base de la señal LOAD y RC del contador, genera la señal ENABLE para el 74LS191.

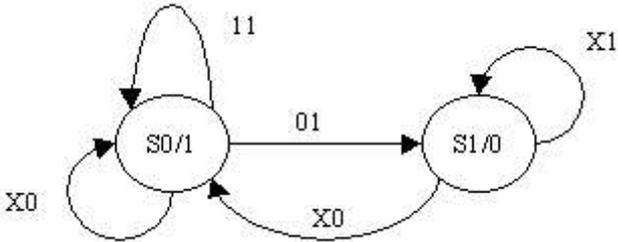


Figura 22

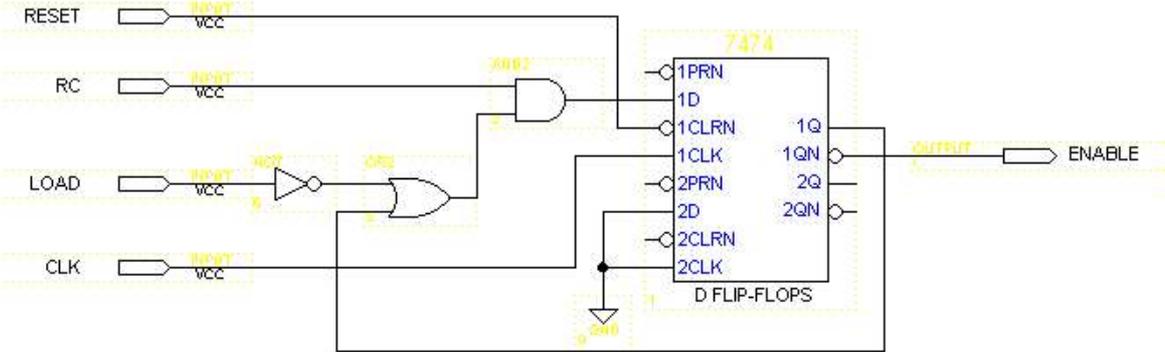


Figura 23

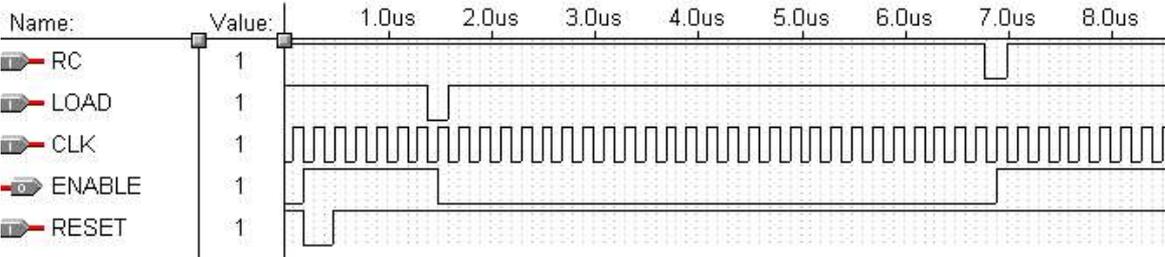


Figura 24

En la siguiente figura se ve el esquemático del circuito principal del contador

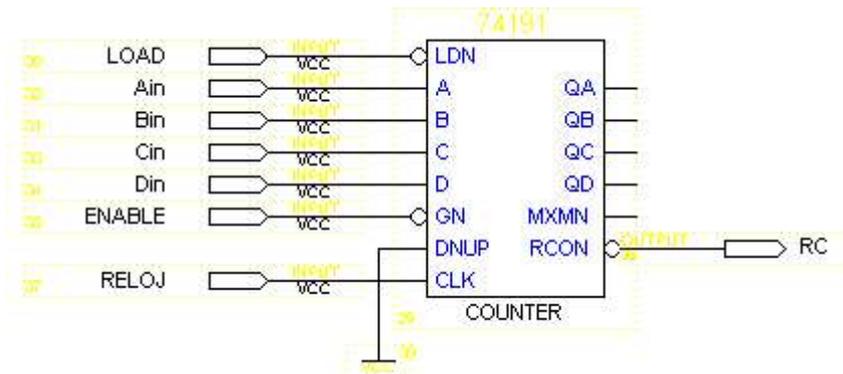


Figura 25

Exprofeso se pusieron diferentes nombres en las señales de reloj de las máquinas de estado y el contador. Esto es para evitar que debido a retardos inherentes en el circuito pueda suceder que no se testee adecuadamente la señal de RC, la cual controla la señal de ENABLE. Recordar que RC baja sólo durante medio ciclo del reloj del contador cuando se haya detectado que en el caso de conteo en modo descendente las salidas estén en 0000.

Para evitar este problema se podría dividir por 2 la señal de reloj del contador respecto al reloj que comanda las máquinas de estado.

Una forma mucho mas fácil de implementar este monoestable es empleando sólo un flip-flop para el comando de carga del contador y reset de la señal de salida.

En las siguientes figuras vemos el circuito definitivo y los diagramas de tiempos obtenidos en el simulador.

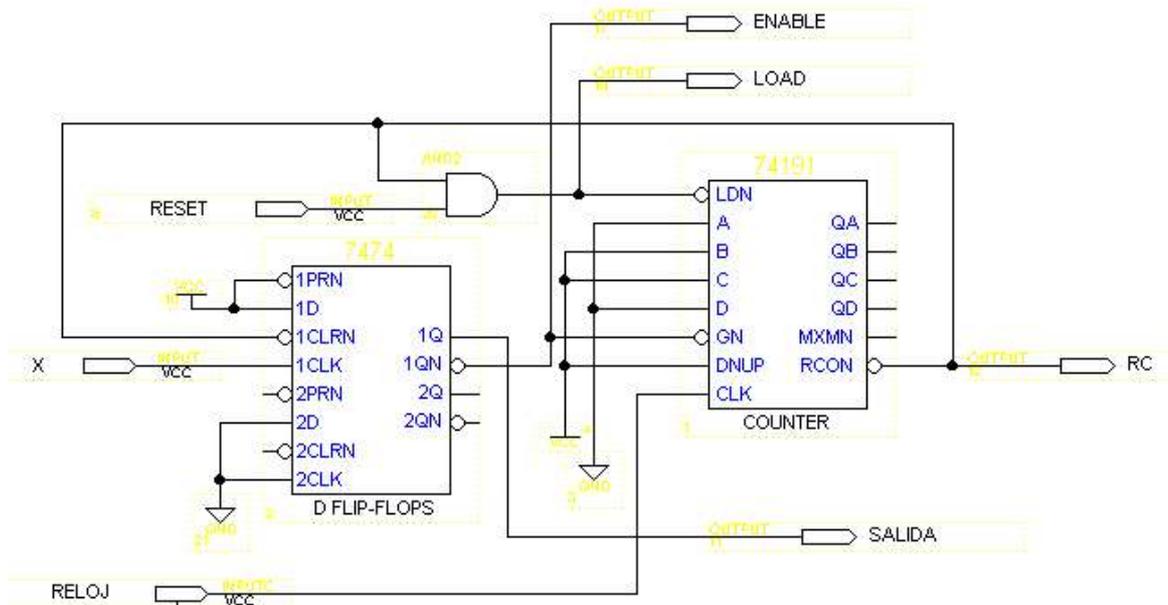


Figura 26

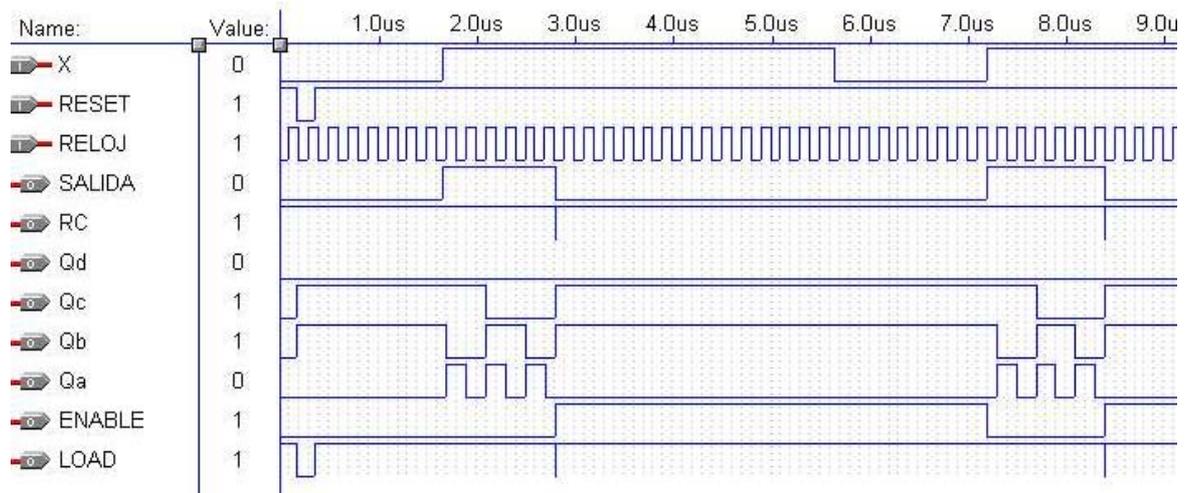


Figura 27

Aquí solo se usa un flip-flop tipo "D" con la entrada siempre en "1".
La entrada X al monoestable es el reloj del flip-flop 74LS74 (sólo se usa uno de los dos flip-flops disponibles en el chip: el número 1).

Como se trata de un 74LS74 cada vez que este recibe una transición positiva de su reloj (entrada X) copia a la salida del mismo un "1".

Sólo su salida pasará a "0" cuando en la entrada asincrónica de /clear haya un "0" y esto sucederá sólo cuando la salida Ripple Carry del contador baje.

Esto ocurrirá cada vez que el contador (el cual está programado en modo de conteo descendente) llegue a la cuenta de 0000. En ese último ciclo, la salida RC bajará en el último medio ciclo a "0" y luego subirá.

La carga del número de ciclos de reloj que el monoestable debe estar en alto, debe actualizarse cada vez que se inicia ó completa un ciclo de detección de transición de la entrada X.

Para este caso, a diferencia del planteado anteriormente, resulta sencillo emplear la misma señal de RC para resetear al flip-flop por un lado y precargar al contador por el otro.

La salida del monoestable es la del flip-flop "D" etiquetada como "SALIDA".

NOTA:

En el esquemático del circuito anterior está fijado el número de carga al valor de 6 a fines de poder simularlo.

4 – Bibliografía:

- 1 Manual Motorola CMOS, serie C 1978.
- 2 Manual National CMOS, Ediciones EMEDE.
- 3 Manual Motorola Low Power Schottky.
- 4 Software de diseño MAX - PLUS II de Altera Corporation.
- 5 Sistemas Digitales. Ronald Tocci. Editorial Prentice - Hall.
- 6 Electrónica Digital. Bignell - Donovan. Editorial CECSA.