

# Introducción a los Sistemas Lógicos y Digitales

## Trabajo Práctico N° 4

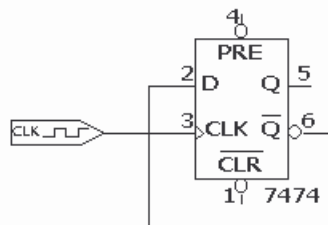
### CIRCUITOS SECUENCIALES

#### Ejercicio n° 1

- Implementar un **flip-flop tipo T** en base a uno **tipo JK**. Realizar la tabla de verdad y el diagrama de tiempos a escala a fin de visualizar el comportamiento de las salidas frente a cambios en las entradas J, K y Clk. Considerar que todas las compuertas tienen un tiempo de retardo  $\tau$  y que el período del reloj es de  $6\tau$ .
- Idem a) para un **flip-flop tipo D**.
- Idem a) pero para un **flip-flop JK** en base a uno **tipo D** disparado por flanco descendente y un **multiplexor**. Calcular la velocidad de respuesta.

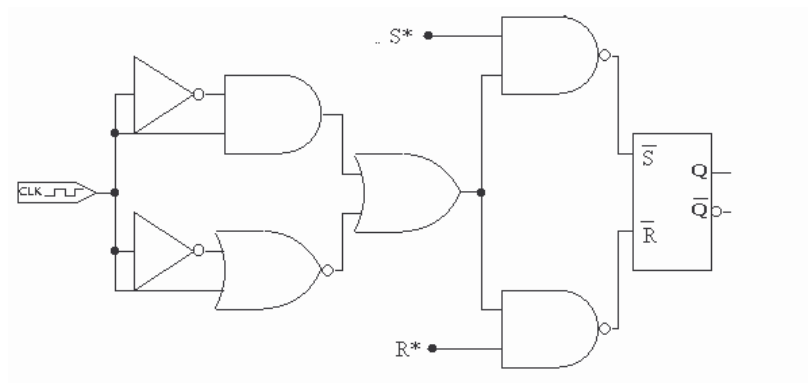
#### Ejercicio n° 2

Dibujar la forma de onda de salida (Q) para el siguiente **flip-flop tipo D** disparado por **flanco ascendente**. Suponer como condición inicial que  $Q=1$  y  $f_{\text{clock}} = 1 \text{ kHz}$ .



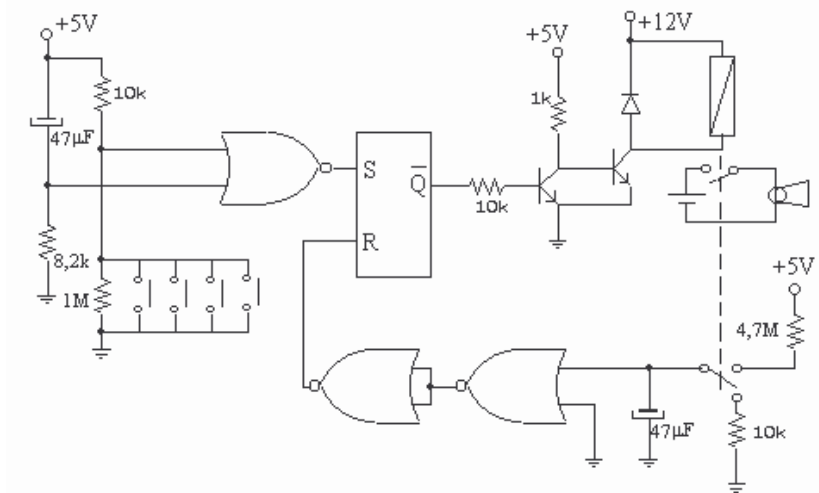
#### Ejercicio n° 3

Describir el funcionamiento del siguiente circuito, considerando que todas las compuertas tienen un retardo igual a  $\tau$ . Hallar la forma de onda en la salida Q para distintos valores de  $S^*$  y  $R^*$ .



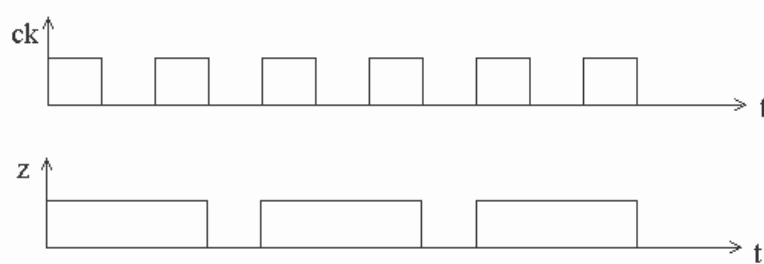
### Ejercicio nº 4

El siguiente circuito es una versión simplificada de una alarma de automóvil. Cualquiera de los pulsadores se cierra con la apertura de alguna puerta. ¿En qué condiciones y durante cuánto tiempo se activará la bocina (controlada por el relé), en el caso de que alguna puerta se abra? Considerar que el sistema se activa al energizar el circuito.



### Ejercicio nº 5

Implementar un **generador de señal de reloj** con un flip-flop tipo JK disparado por flanco descendente y mínima lógica adicional tal que cumpla con el siguiente diagrama de tiempos:



### Ejercicio nº 6

Implementar un flip-flop disparado por **flanco ascendente**, en base a uno tipo D disparado por **flanco descendente** y sólo con compuertas NAND de 3 entradas, a partir de la siguiente tabla de verdad:

A	B	Q
0	0	1
0	1	Qn
1	0	/Qn
1	1	0

Dibujar los diagramas de Karnaugh para la síntesis del circuito y los diagramas de tiempos con las señales A, B, Clk, D, Q y /Q, donde se detalle como funciona el mismo en la condición  $A = 1$ ,  $B = 0$  durante 3 ciclos de reloj, indicando claramente los tiempos de retardo involucrados considerando tpd para las compuertas, 2 tpd para tiempos de set-up y hold y 4 tpd para Q en el flip-flop tipo D.

Para la condición indicada, ¿cuál es la máxima frecuencia de trabajo posible? Justificar la respuesta matemáticamente y con diagramas de tiempo.

### **Ejercicio nº 7**

Se tiene un flip-flop tipo “D” disparado por flanco ascendente y entradas asincrónicas de /CLR y /SET ( similar al 74LS74 ) con las siguientes características:  $t_{set-up} = t_{hold} = 10ns$ ;  $tpd (CLK \rightarrow Q) = 25ns$ ;  $tpd (/SET \rightarrow Q) = tpd (/CLR \rightarrow Q) = 20ns$ . Además se cuenta con inversores con  $tpd = 15ns$ .

Con dicho flip-flop y la cantidad necesaria de inversores, implementar un circuito que por cada flanco ascendente de una señal J cuyo período es de 300ns (ciclo de trabajo 50% ), se obtenga un pulso positivo de duración igual a 50ns ( se admite un retardo entre este pulso y la señal J no mayor a 30ns). Dibujar el **circuito** y realizar los **diagramas de tiempos a escala** de todas las señales involucradas para explicar su funcionamiento. **Justificar también en forma escrita.**

**NOTA: Considerar que desde el start-up ya se tiene  $Q = 0$ .**