

Introducción a los Sistemas Lógicos y Digitales

Trabajo Práctico N° 8

FAMILIAS LÓGICAS

Ejercicio n° 1

- a) Realizar una tabla de comparación de una compuerta NAND de la serie 7400 (74LS00, 74ALS00, 74HCT00 y 74ACT00) y las series MC14011B (CMOS serie 4000) y MC10H104 (ECL) con $V_{cc} = 5\text{ V}$ sobre los siguientes parámetros:
- Tiempos de retardo de propagación.
 - Consumo de corriente de entrada en reposo (niveles H y L).
 - Consumo de corriente y potencia total en reposo.
 - Consumo de corriente y potencia total a 100MHz.
 - Márgenes de ruido.
 - Máxima corriente de salida en alto y en bajo (H y L).
- b) Idem a) pero con flip-flop tipo “D” de la serie 7474 (74LS74, 74ALS74, 74HCT74 y 74ACT74) y las series MC14013B (CMOS serie 4000) y MC10H186 (ECL) sobre los mismos parámetros y además:
- Tiempos de set-up y de hold.
 - Máxima frecuencia de reloj.

Ejercicio n° 2

Dados los siguientes datos de la compuerta CD4001:

V_{OL}			V_{OH}			Inm. Ruido baja			Inm. Ruido alta		
Mín	típ	máx	mín	típ	máx	mín	típ	máx	mín	típ	máx
	0	0.01	4.99	5.0		1.5	2.25		1.5	2.25	

$$I_i = 10\text{ pA}$$

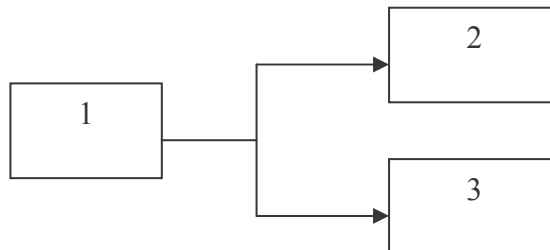
I_o	mínimo	típico	máximo	
I_o canal N	0.12	0.5		mA
I_o canal P	-0.12	-0.5		mA

Hallar:

- los niveles permitidos de las tensiones V_{IH} y V_{IL} ;
- el fan out;
- el fan in, tomando como $I_{ULH} = 40\text{ }\mu\text{A}$, $I_{ULL} = 1.6\text{ mA}$.

Ejercicio nº 3

Dado el siguiente circuito, calcular los márgenes de ruido alto y bajo en la peor condición y representarlos gráficamente.



Compuerta	VoH		VoL		ViH		ViL	
	Mín.	Típ.	Típ.	Máx.	Típ.	Máx.	Mín.	Típ.
1	3,4	3,5	0,2	0,3	-----	-----	-----	-----
2	-----	-----	-----	-----	2,4	2,45	0,75	0,80
3	-----	-----	-----	-----	2,35	2,55	0,70	0,85

Ejercicio nº 4

Calcule la máxima frecuencia de operación de un contador asincrónico de módulo 8 sintetizado con el flip-flop JK 74HC107, cuyos parámetros son:

$$t_{pHL} = t_{pLH} = 19 \text{ ns típico, } 32 \text{ ns máximo (Clock} \rightarrow \text{Q)}$$

$$t_{\text{setup}} = 20 \text{ ns mínimo}$$

$$t_{\text{hold}} = 3 \text{ ns mínimo}$$

$$t_{\text{read}} = 40 \text{ ns (dispositivo externo)}$$

Ejercicio nº 5

Implementar con compuertas CMOS complejas la función lógica: $F = (A+B) \cdot (C+D) \cdot A$. La salida deberá estar en estado de alta impedancia si la entrada ENABLE está en nivel alto. Dibujar el circuito completo.

Ejercicio nº 6

Diseñar un flip-flop tipo “D” disparado por flanco descendente con tecnología CMOS en base a inversores y compuertas pass-gate. Hacer un diagrama esquemático y temporal del mismo y usarlo para explicar su funcionamiento. Dibujar el diagrama circuital completo implementado con los transistores involucrados.

Ejercicio nº 7

Implementar FF “JK” disparado por nivel con entrada asincrónica de “reset” basado en una estructura de transistores pass-gate y compuertas auxiliares (realizar el circuito completo a nivel de transistores).

Ejercicio nº 8

- a) Implementar un decodificador CMOS.
- b) Implementar un MUX 8:1 usando compuertas pass-gate y el decodificador del punto anterior.