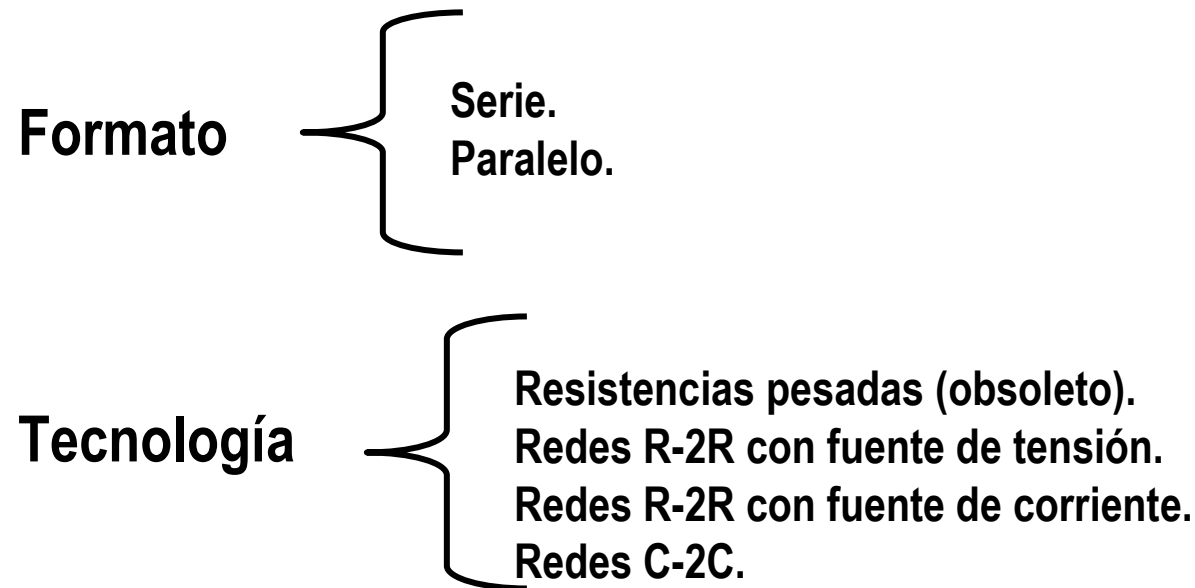


Conversores ADC y DAC

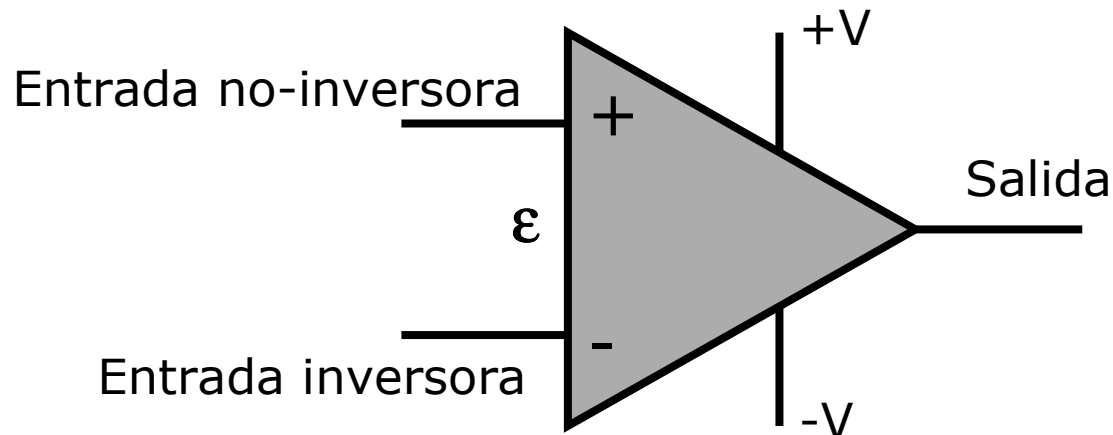
Introducción a los Sistemas
Lógicos y Digitales
2008

Clasificación de DAC:



Conversores ADC y DAC

Amplificador operacional (A.O.)



Amplificador Operacional ideal:

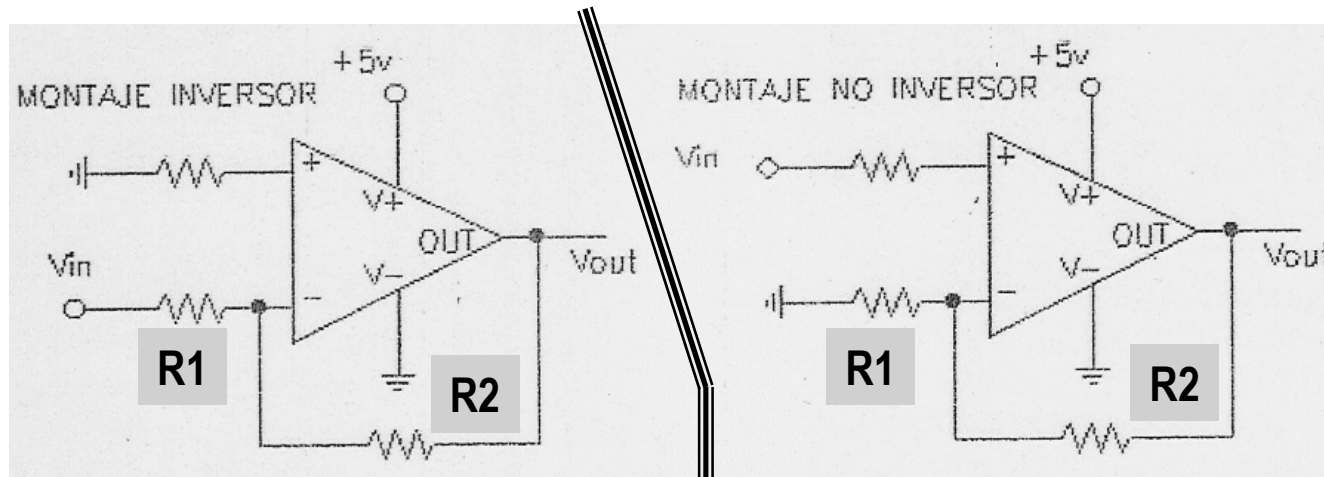
Impedancia de entrada infinita: No circula corriente entre los bornes (+) y (-) por lo que la tensión " ϵ " es nula.

Impedancia de salida nula: La salida es siempre constante.

Ganancia a lazo abierto infinita: Con una tensión infinitesimal " ϵ " entre los bornes de entrada, la salida satura a la tensión de alimentación del operacional (+V) ó (-V) dependiendo de la polaridad de " ϵ ".

Conversores ADC y DAC

Amplificador operacional



$$I_1 = \frac{V_{in}}{R_1} ; I_2 = -\frac{V_o}{R_2}$$
$$I_1 = I_2 \Rightarrow V_o = -\frac{R_2}{R_1} \cdot V_{in}$$

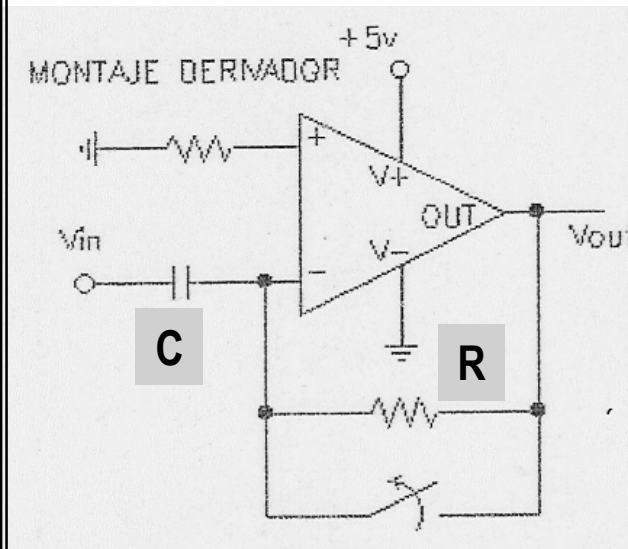
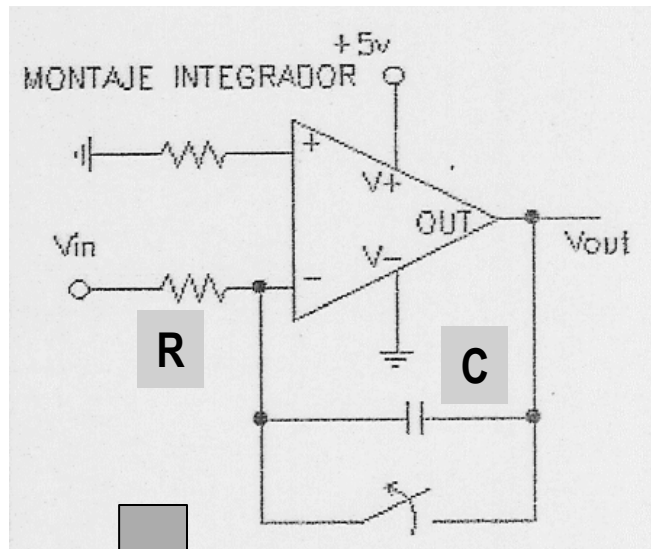
Se consigue en la salida V_o , ganancia ó atenuación respecto de la entrada siempre con inversión de polaridad.

$$I_1 = \frac{V_{in}}{R_1} ; I_2 = \frac{V_o - V_{in}}{R_1}$$
$$I_1 = I_2 \Rightarrow V_o = V_{in} \left(1 + \frac{R_2}{R_1}\right)$$

Se consigue en la salida V_o , ganancia respecto de la entrada siempre con idéntica polaridad. Si $R1$ es infinita y $R2$ nula no se tiene ganancia alguna (funciona como buffer no inversor).

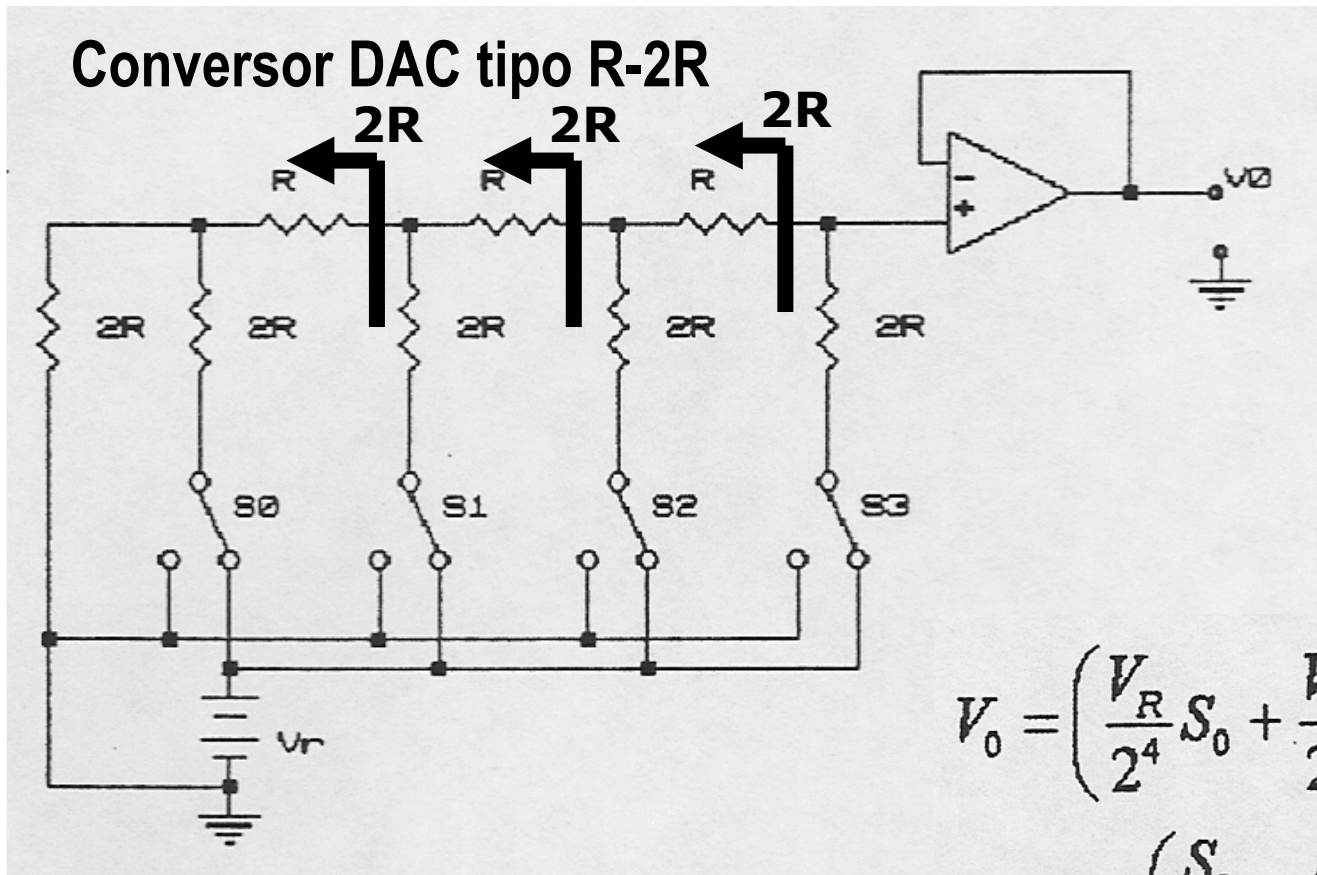
Conversores ADC y DAC

Amplificador operacional



$$V_o = -\frac{1}{C} \int i dt = -\frac{1}{C} \frac{V_{in}}{R} \int dt$$
$$V_o = -\frac{1}{RC} \cdot V_{in} \cdot t$$

Este esquema es un integrador:
Si se aplica una tensión continua en la entrada, la salida responderá temporalmente con una rampa de tensión.



$$V_0 = \left(\frac{V_R}{2^4} S_0 + \frac{V_R}{2^3} S_1 + \frac{V_R}{2^2} S_2 + \frac{V_R}{2^1} S_3 \right)$$

$$V_0 = V_R \left(\frac{S_0}{2^4} + \frac{S_1}{2^3} + \frac{S_2}{2^2} + \frac{S_3}{2^1} \right)$$

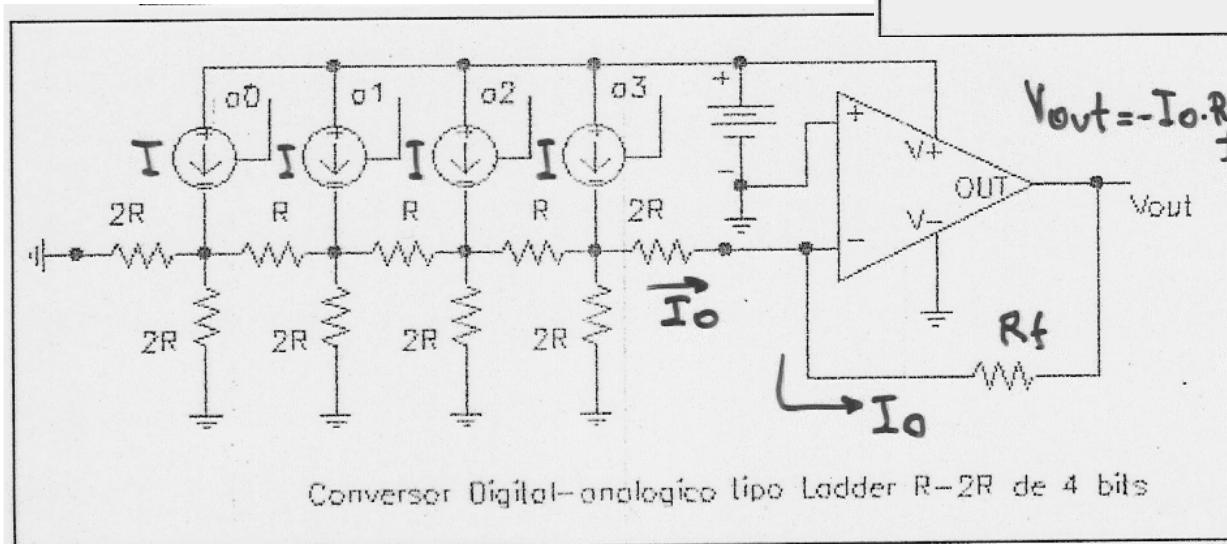
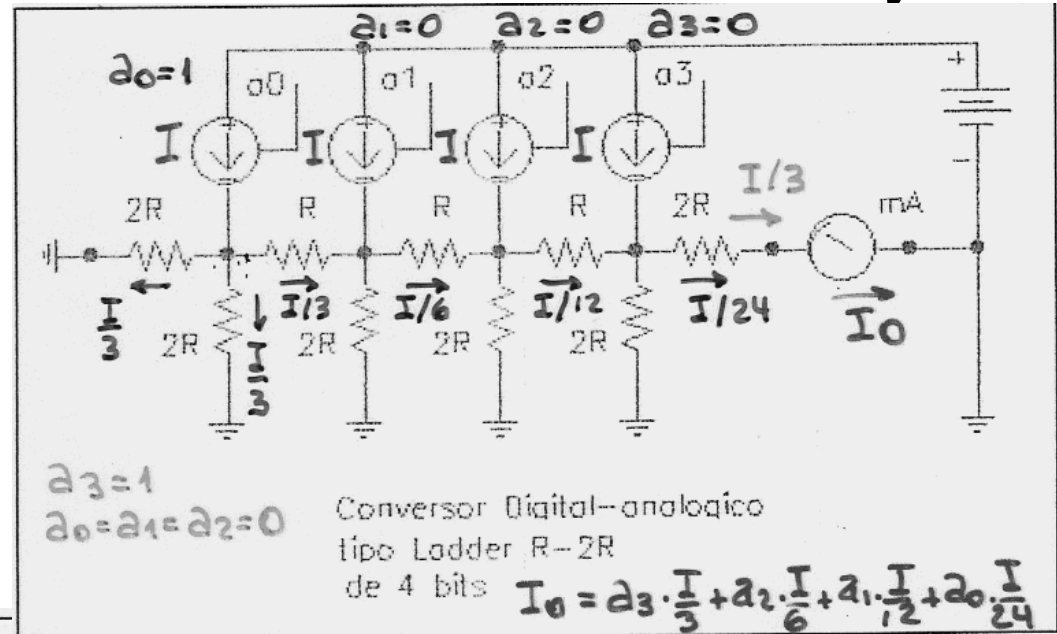
$$V_0 = \frac{V_R}{2^4} (S_3 2^3 + S_2 2^2 + S_1 2^1 + S_0 2^0)$$

DAC

Conversores ADC y DAC

Conversor DAC tipo R-2R

Este esquema tiene la ventaja de que emplea generador de corriente idénticos (suele hacerse con espejos de corriente).



$$V_{out} = - \left(a_3 \cdot \frac{I}{3} + a_2 \cdot \frac{I}{6} + a_1 \cdot \frac{I}{12} + a_0 \cdot \frac{I}{24} \right) \cdot R_f$$

Limitaciones temporales y errores

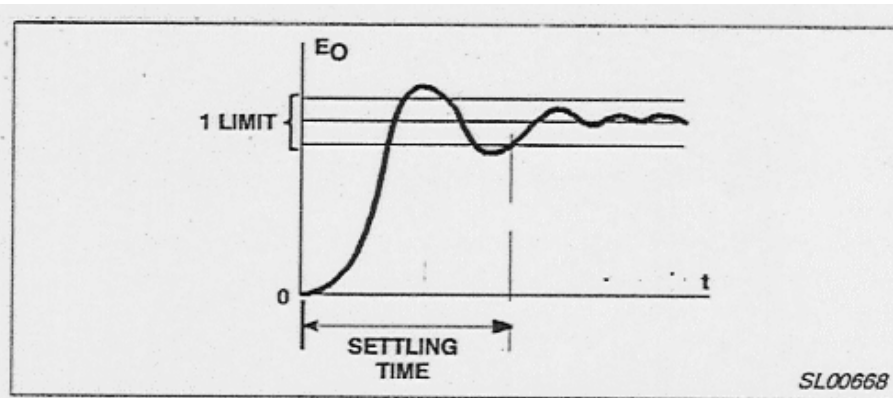
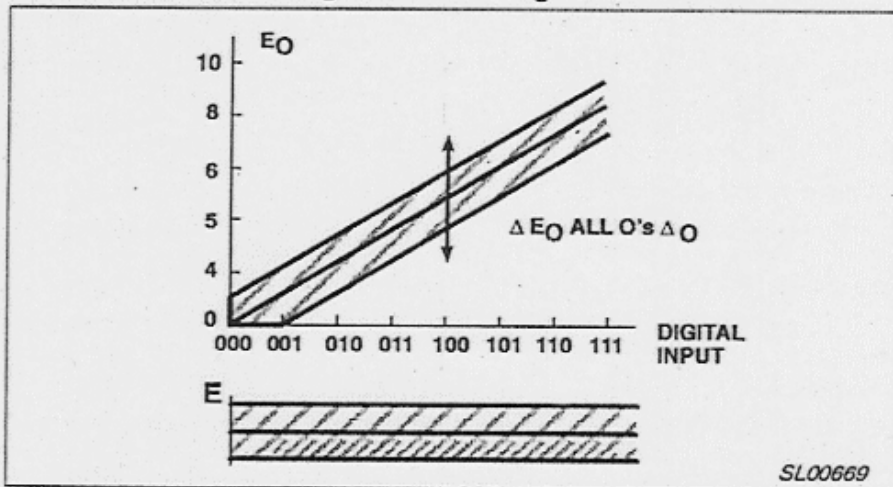
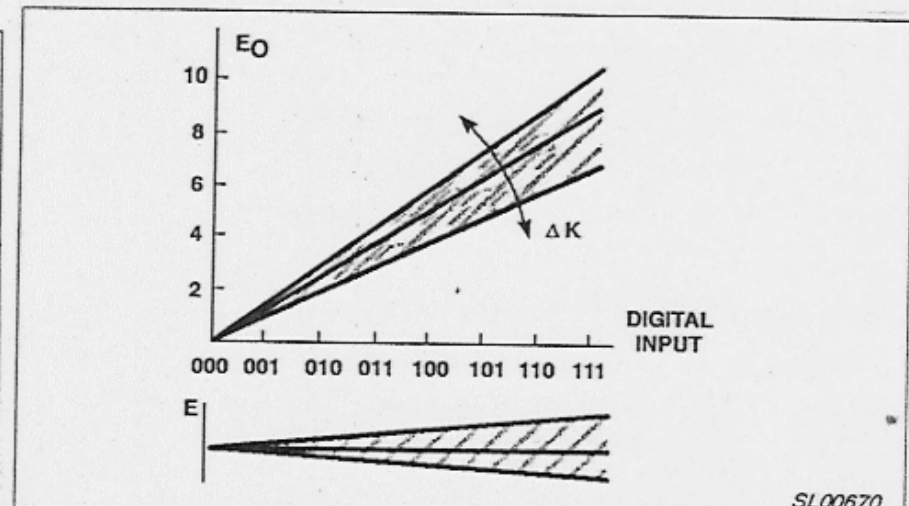


Figure 4. Settling Time



Offset Error

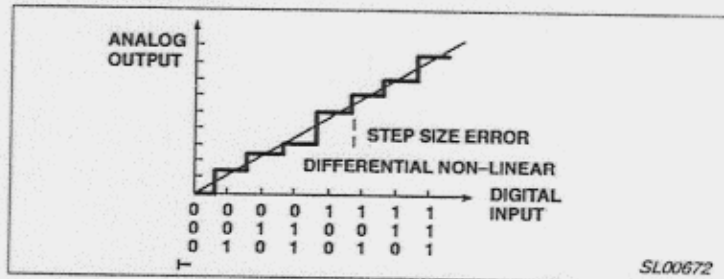


Gain Error

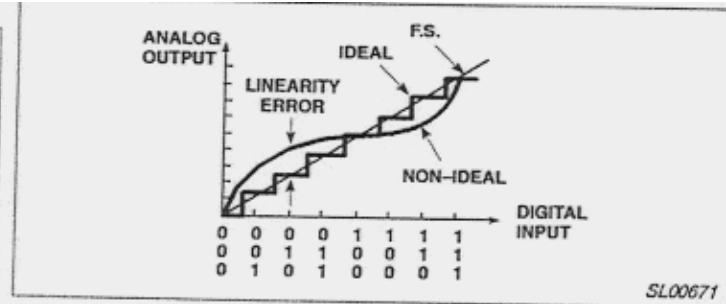
DAC

Errores

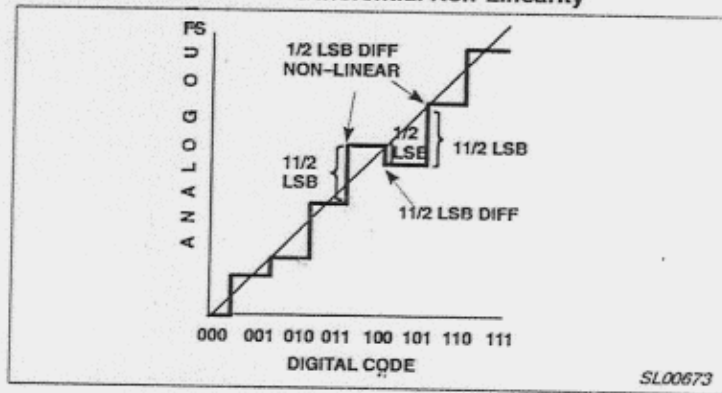
Conversores ADC y DAC



Differential Non-Linearity



Relative Accuracy



Non-Monotonic
(Must be $> \pm 1/2$ LSB Non-Linear)

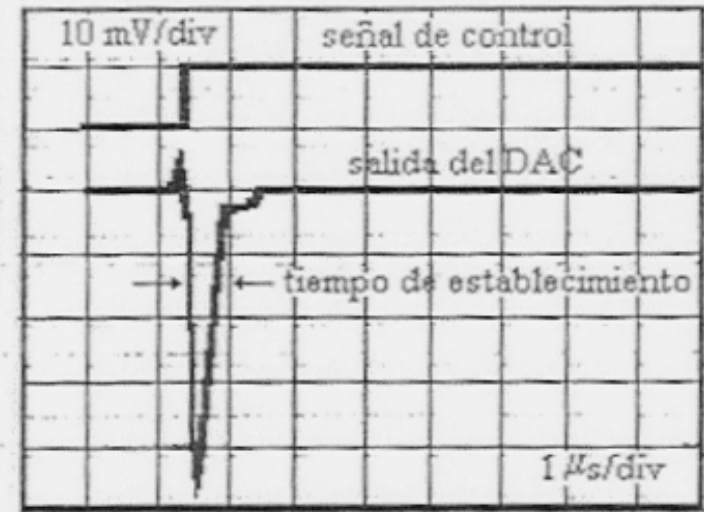
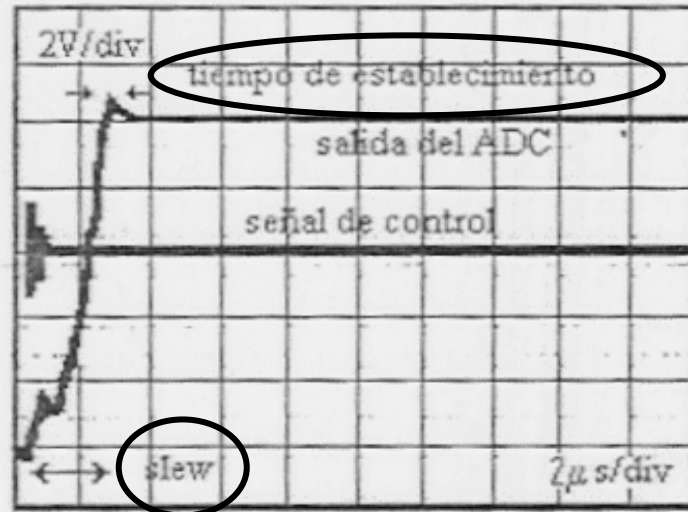
$$\begin{aligned}
 V_{\text{omax}} &= FS(2^{-1} + 2^{-2} + \dots + 2^{-n}) \\
 &= FS(1 - \frac{1}{2^n}) \\
 &= FS(1 - 2^{-n})
 \end{aligned}$$

NUNCA $V_{\text{omax}} = FS$

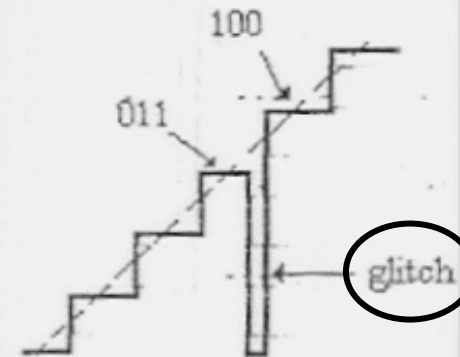
Atención:

La función de transferencia $V_o = f(N)$ es una sucesión de puntos y no una sucesión de segmentos.

Respuesta del AO en DAC's



Respuestas de llaves en DAC's



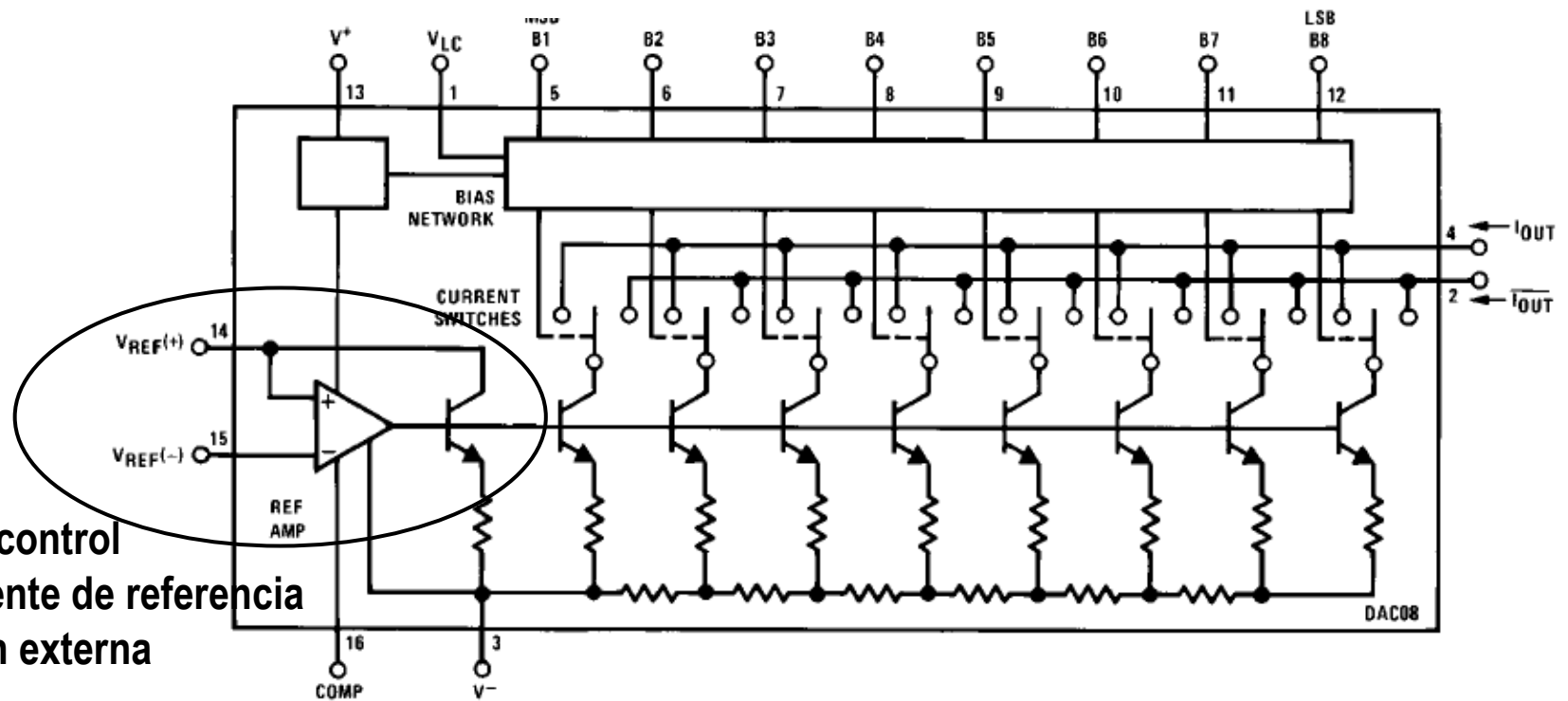
DAC

Conversores ADC y DAC

Features

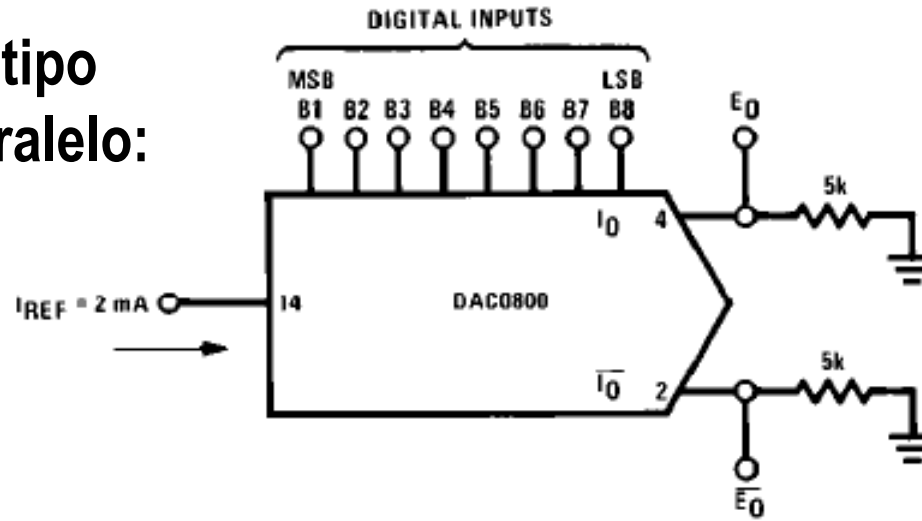
- Fast settling output current 100 ns
- Full scale error ± 1 LSB
- Nonlinearity over temperature $\pm 0.1\%$
- Full scale current drift ± 10 ppm/ $^{\circ}\text{C}$
- High output compliance $-10\text{V to } +18\text{V}$
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range $\pm 4.5\text{V to } \pm 18\text{V}$
- Low power consumption 33 mW at $\pm 5\text{V}$
- Low cost

Ejemplo de DAC tipo multiplicativo paralelo: DAC0800



Permite el control de la corriente de referencia por tensión externa

Ejemplo de DAC tipo multiplicativo paralelo: DAC0800



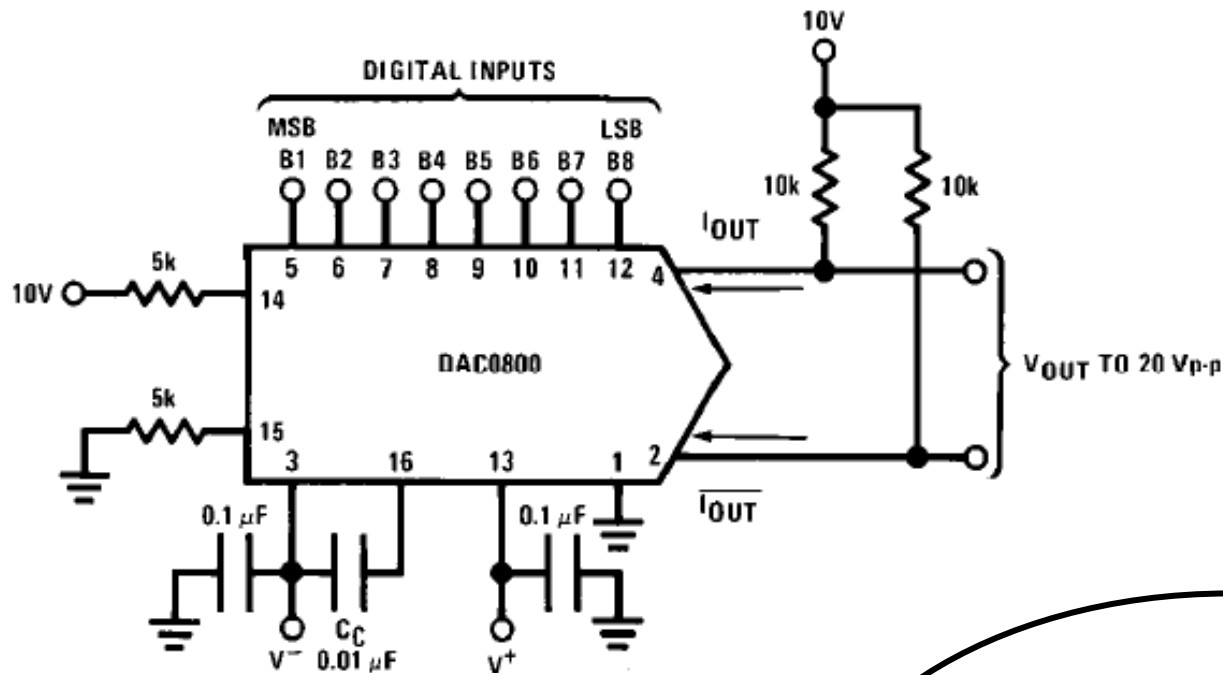
TL/H/5686-17

	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	\bar{I}_O mA	E_O	\bar{E}_O
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale - LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale - LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

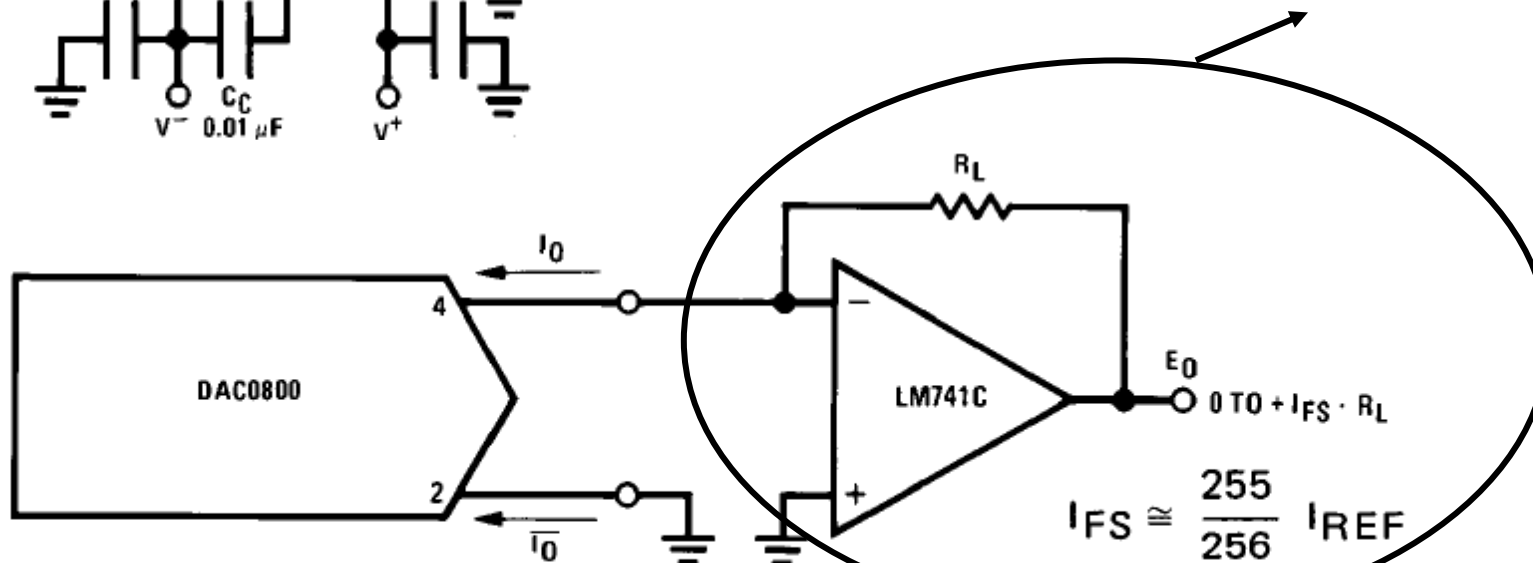
DAC

Conversores ADC y DAC

Ejemplo de DAC tipo multiplicativo paralelo: DAC0800



Conversión corriente-tensión



For complementary output (operation as negative logic DAC) connect inverting input of op amp to I_O (pin 2), connect I_O (pin 4) to ground.

Conversores Digital-analógicos (DAC)

Features

- Guaranteed Monotonicity
- Low Power Operation
- Rail-to-Rail Voltage Output
- Power-on Reset to 0V
- Simultaneous Output Updating
- Wide power supply range (+2.7V to +5.5V)
- Industry's Smallest Package
- Power Down Modes

Key Specifications

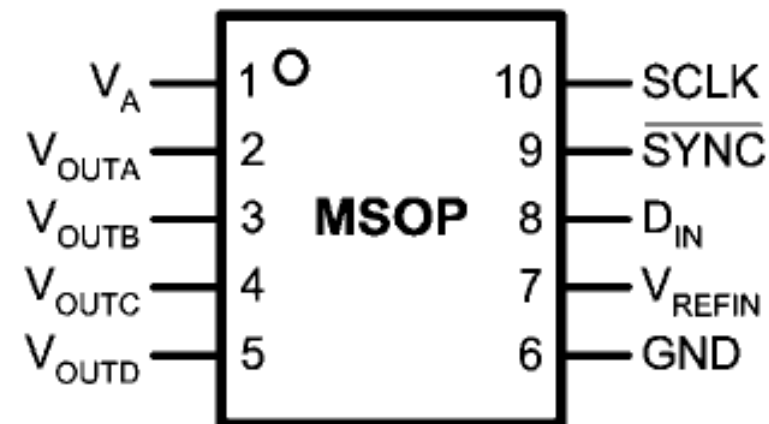
- Resolution 8 bits
- INL ± 0.5 LSB (max)
- DNL $+0.18 / -0.13$ LSB (max)
- Settling Time 4.5 μ s (max)
- Zero Code Error +15 mV (max)
- Full-Scale Error -0.75 %FS (max)
- Supply Power
 - Normal 1.1 mW (3V) / 2.5 mW (5V) typ
 - Power Down 0.3 μ W (3V) / 0.8 μ W (5V) typ

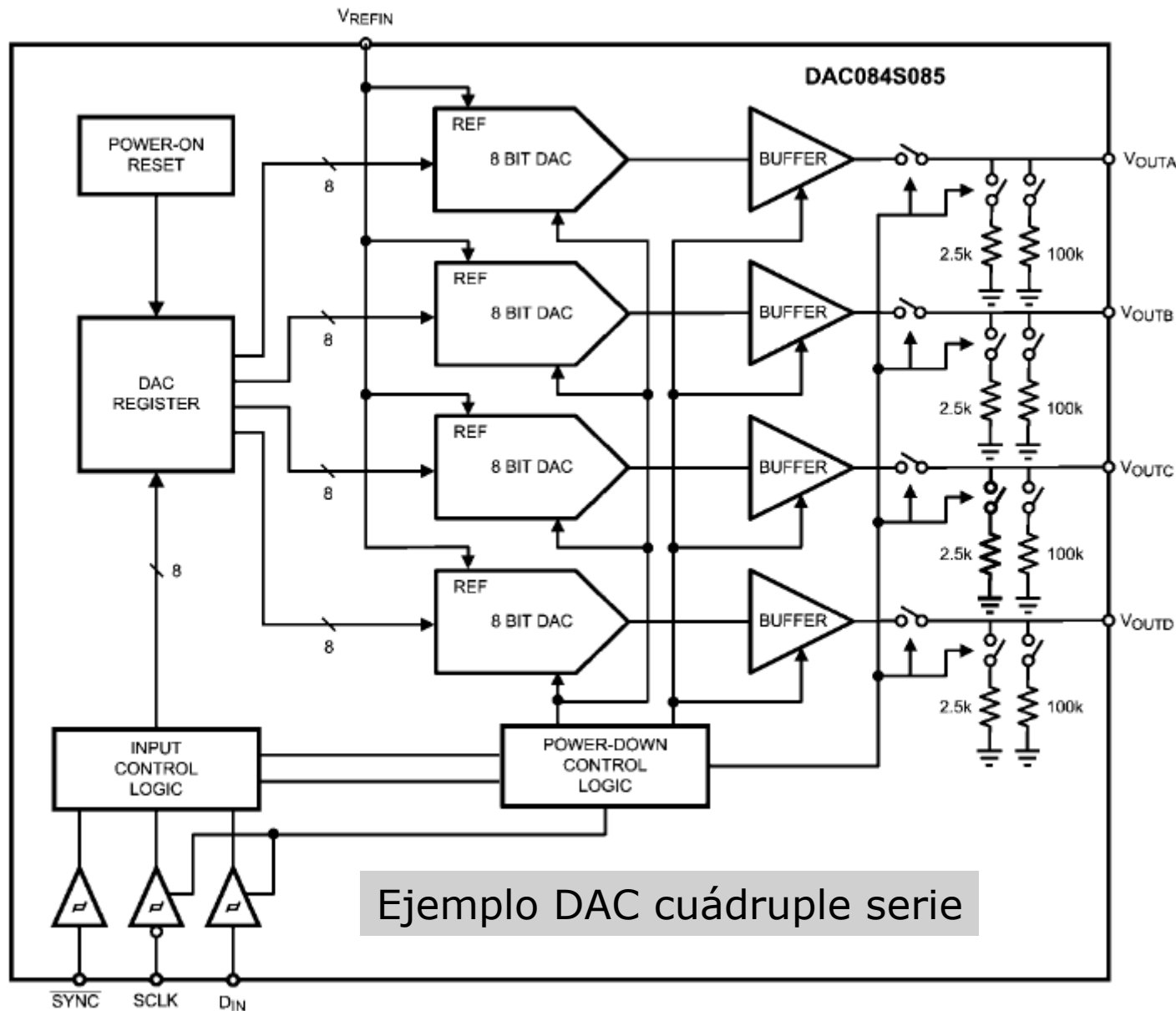
Applications

- Battery-Powered Instruments
- Digital Gain and Offset Adjustment
- Programmable Voltage & Current Sources
- Programmable Attenuators

Conversores ADC y DAC

Ejemplo DAC cuádruple serie

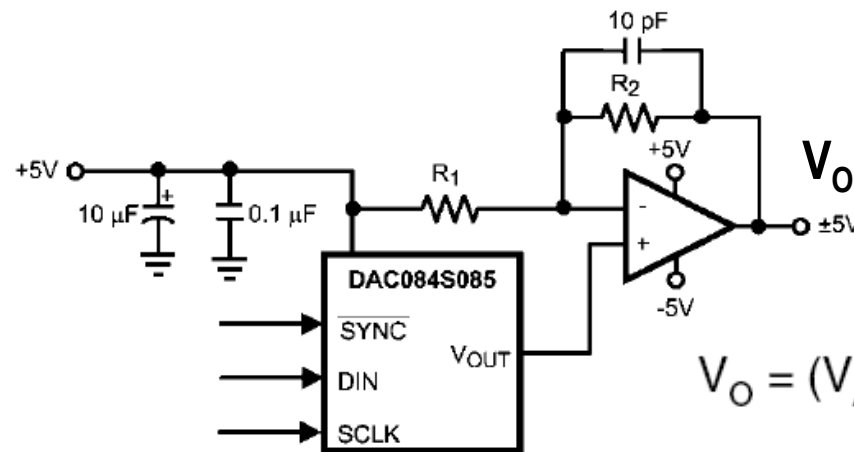
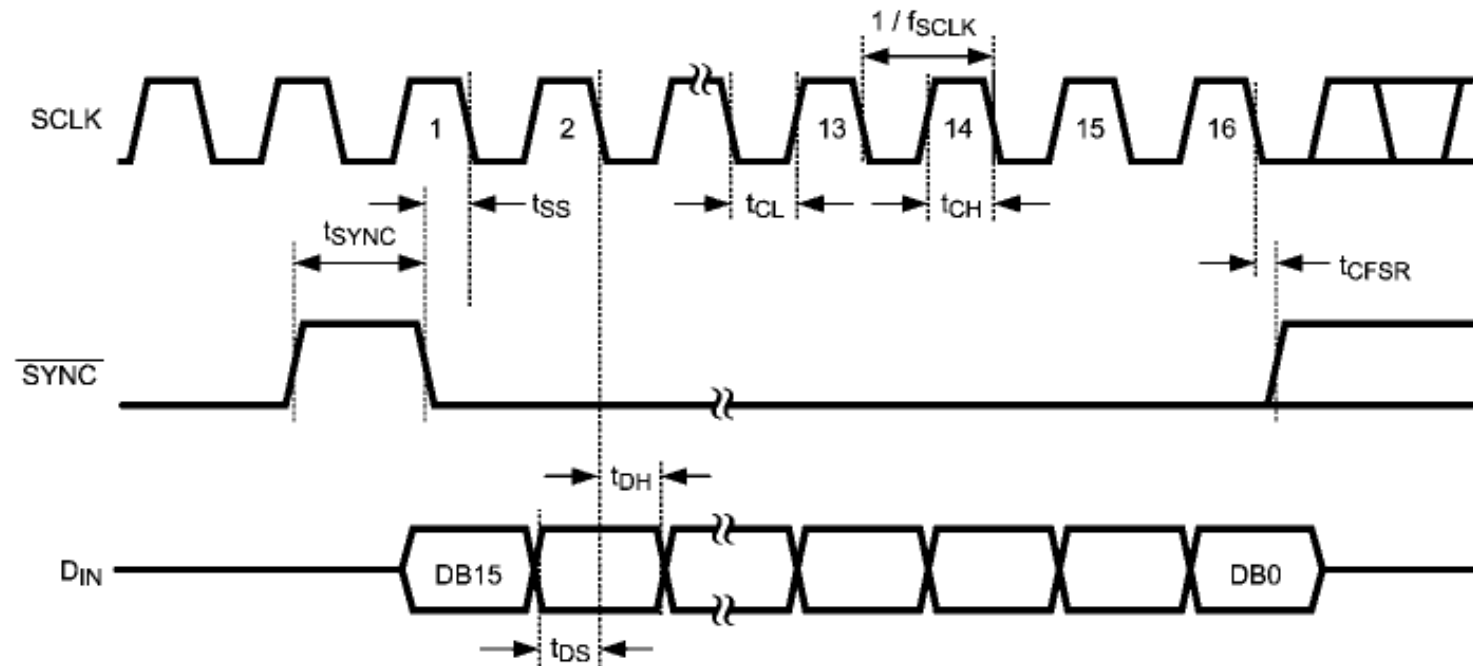




Conversores Digital-analógicos (DAC)

Conversores ADC y DAC

Ejemplo DAC cuádruple serie



$$V_O = (V_A \times (D / 256) \times ((R1 + R2) / R1) - V_A \times R2 / R1)$$

Conversores Analógico-Digitales

Clasificación de ADC:

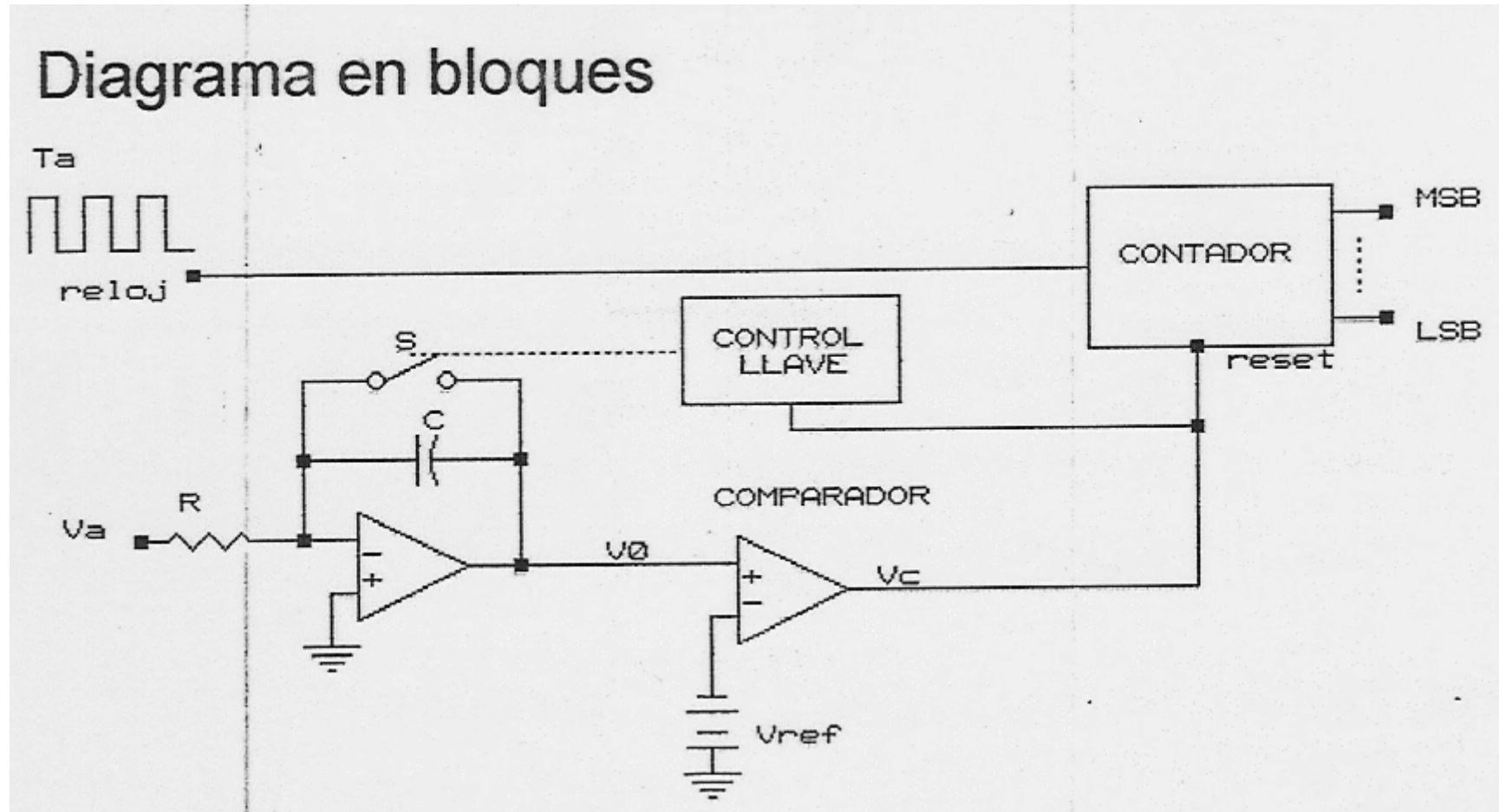
Tecnología

Rampa (simple, doble, triple y cuádruple rampa) MUY LENTOS.
Aproximaciones sucesivas (SAR) RÁPIDOS.
Flash MUY RÁPIDOS.
Pipe-line (basada en ADCs Flash) MUY RÁPIDOS.
Delta.
Modulación por tiempo de pulso (PTM: PWM y PPM).
Sigma-delta.

Formato

Serie.
Paralelo.

ADC simple rampa

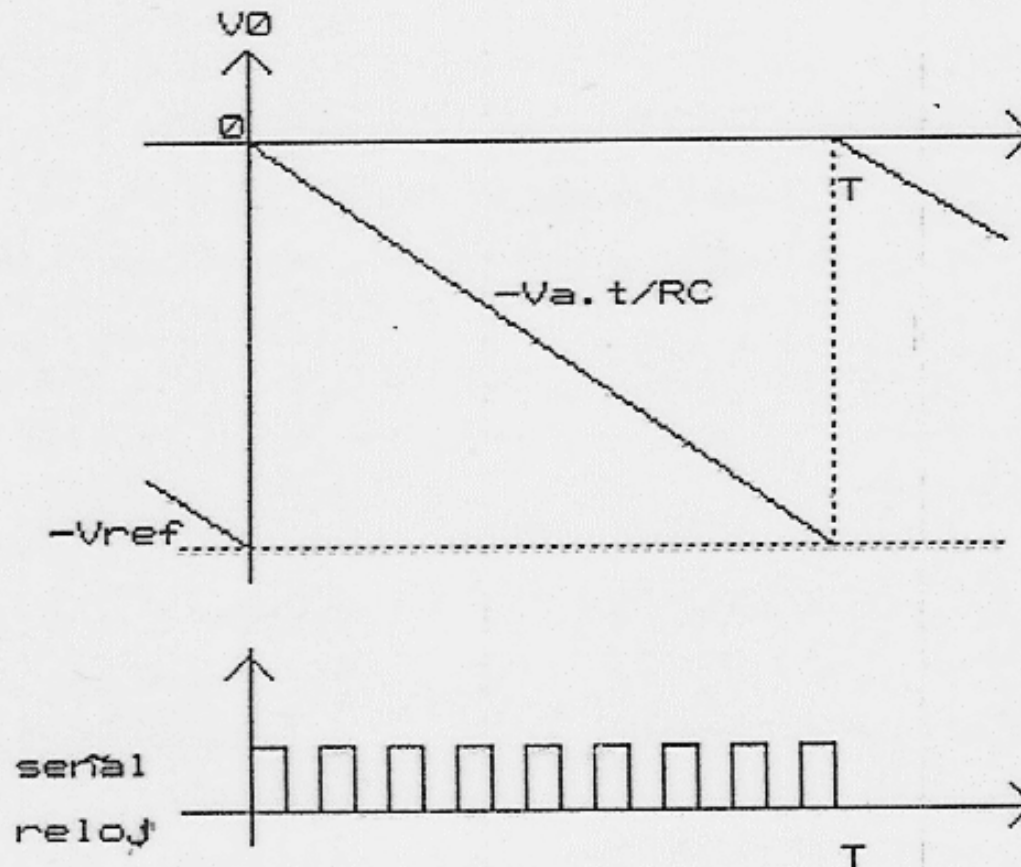


ADC tipo rampa

Conversores ADC y DAC

ADC simple rampa

Diagrama de tiempos



Ecuaciones en el conversor ADC simple rampa

$$V_0 = -\frac{1}{RC} \int_0^T V_a dt$$

$$V_0 = -\frac{1}{RC} V_a T$$

$$V_0 = -V_{ref} = -\frac{1}{RC} V_a T \Rightarrow T = RC \frac{V_{ref}}{V_a}$$

$$NT_0 = T$$

$$NT_0 = RC \frac{V_{ref}}{V_a}$$

$$N = \frac{RC V_{ref}}{T_0 V_a}$$

$$N = \frac{1}{V_a}$$

Precisión de R : 10 ppm/°C

" de C : 200 ppm/°C

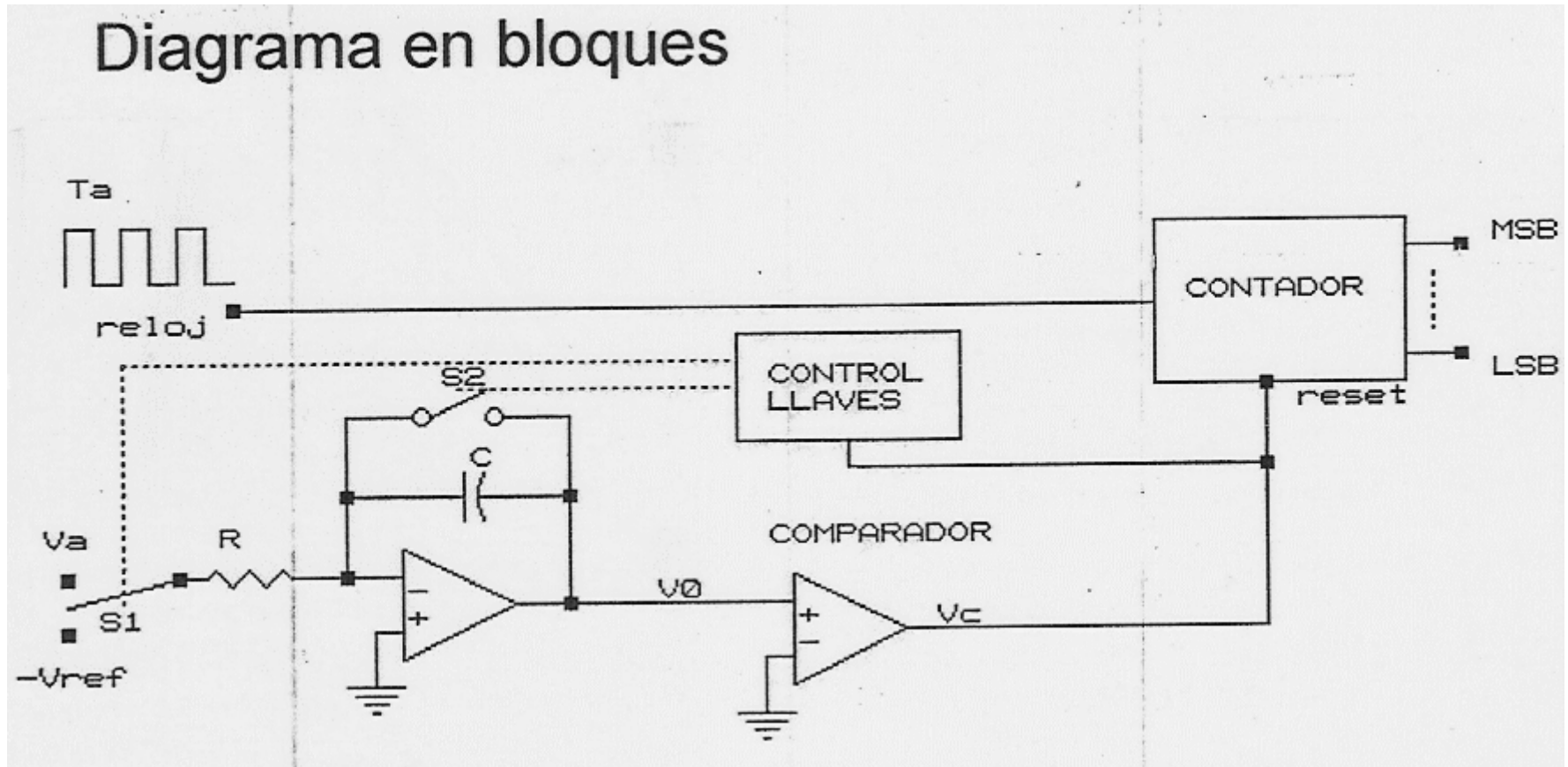
" " T₀ : 1 ppm/°C

" " V_{REF} : 10 ppm/°C

Para lograr tener N proporcional a V_a basta con invertir los roles de V_a y V_{referencia}

ADC doble rampa

Diagrama en bloques



ADC tipo rampa

Conversores ADC y DAC

ADC doble rampa

Diagrama de tiempos

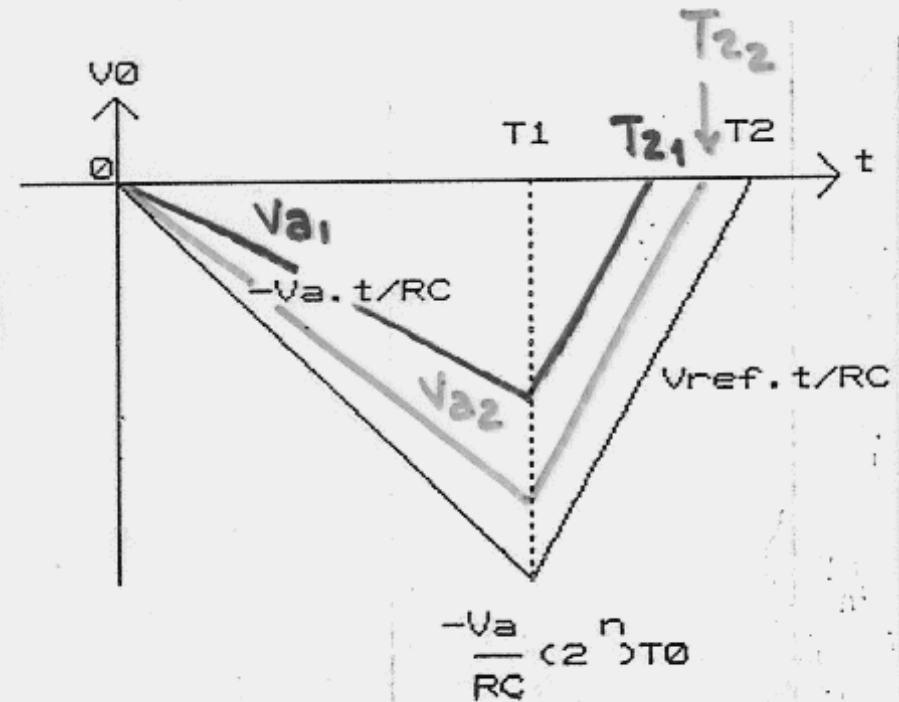


Fig. II 4b

T_1 es fijo T_2 es variable
 $V_{a2} > V_{a1} \Rightarrow T_{22} > T_{21}$

ADC tipo rampa

Convertidores ADC y DAC

ADC doble rampa

Ecuaciones en el conversor ADC doble rampa

$$V_0 = -\frac{V_a T_1}{RC}$$

$$\frac{V_a T_1}{RC} = \frac{V_{ref}}{RC} (T_2 - T_1)$$

$$\frac{T_2 - T_1}{T_1} = \frac{V_a}{V_{ref}}$$

$$T_1 = N_1 T_0$$

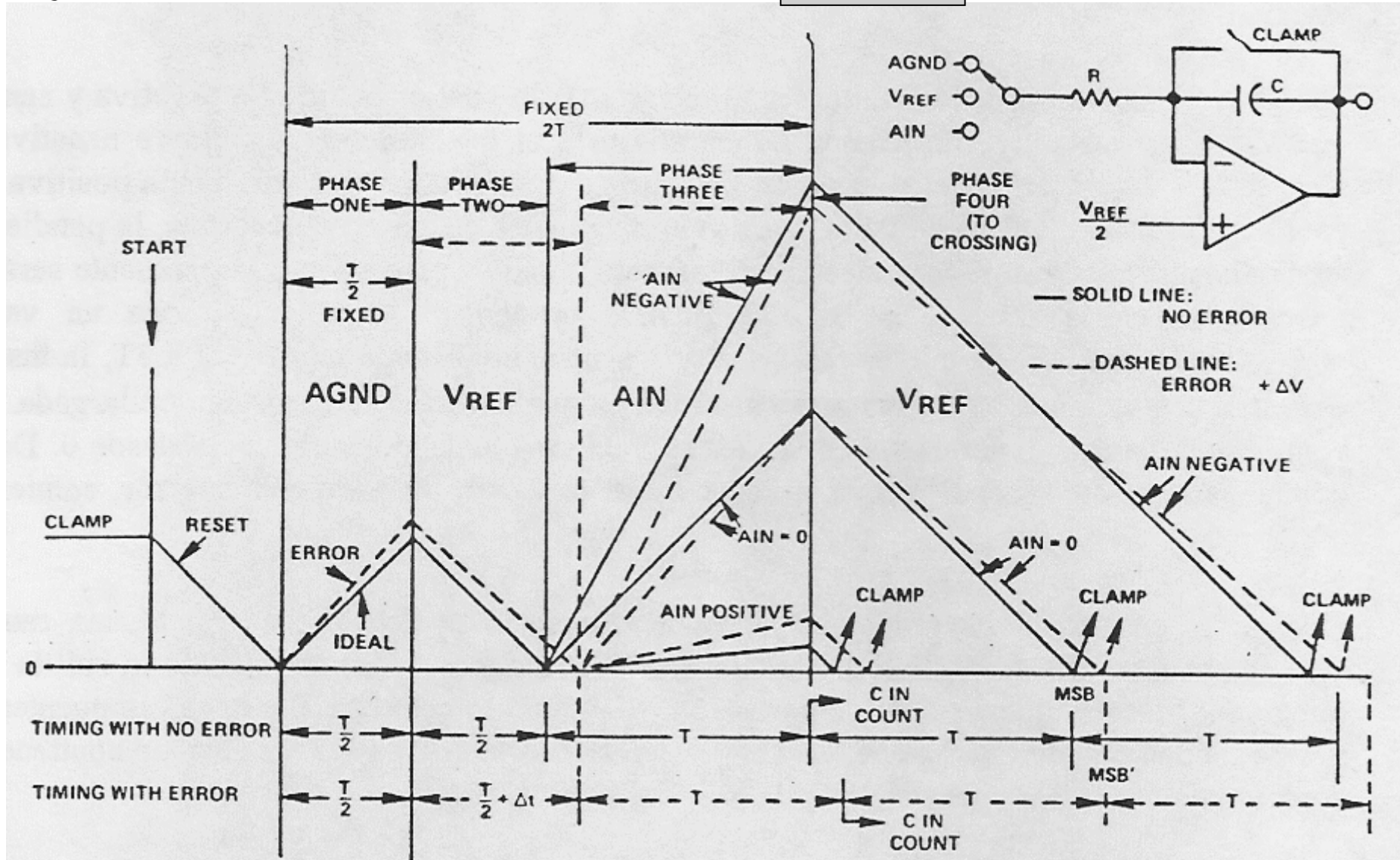
$$T_2 - T_1 = N T_0$$

$$\frac{T_2 - T_1}{T_1} = \frac{N}{N_1} = \frac{V_a}{V_{ref}}$$

Independiente de errores de R y C si se mantienen las condiciones de temperatura durante la conversión (milisegundos)

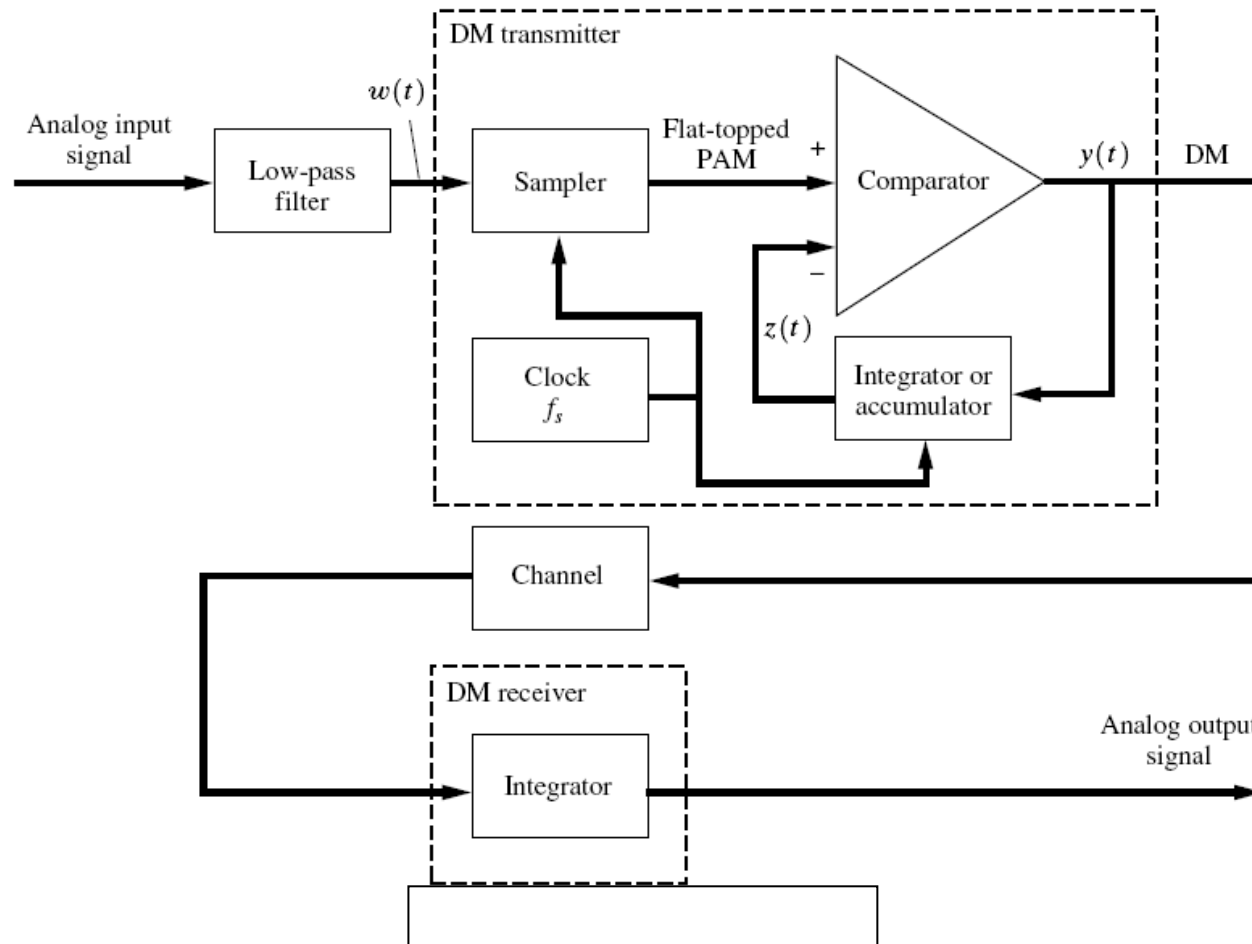
Ejemplo de ADC cuádruple rampa

ICL7109



Modulación Delta

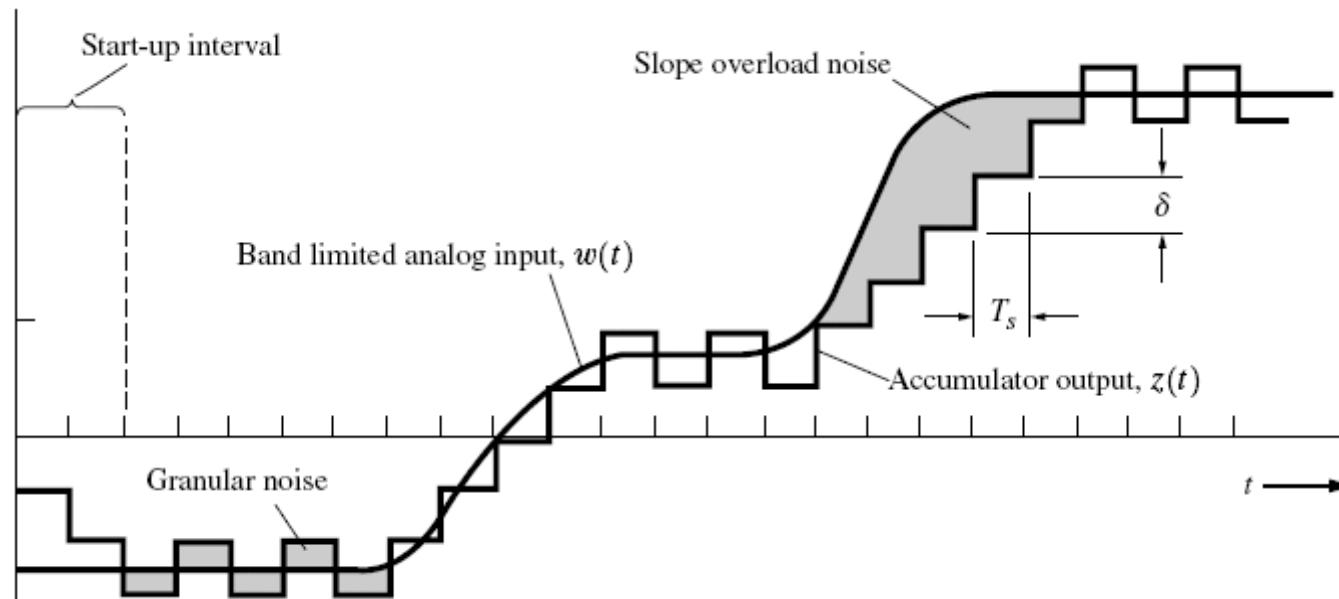
Conversores ADC y DAC



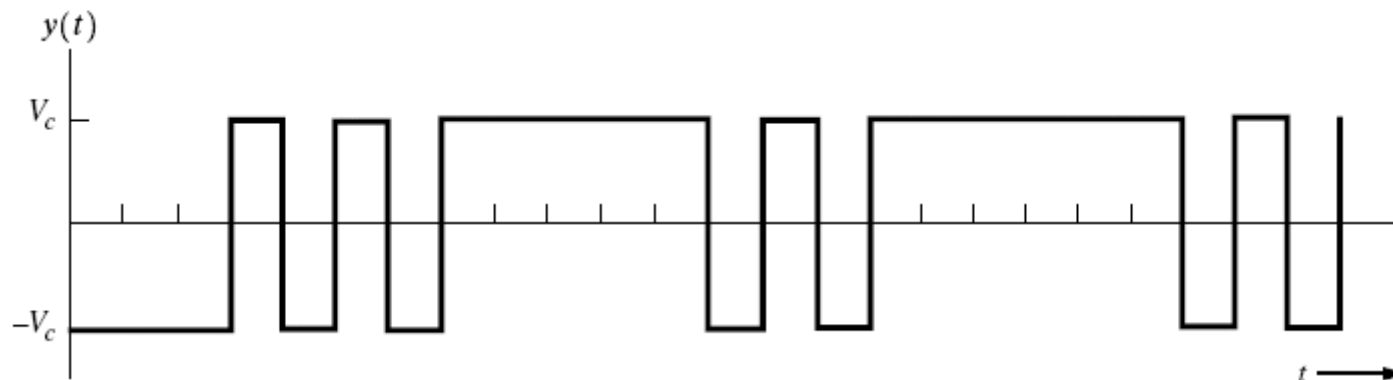
Está basado en el empleo de un muestreador + integrador + comparador analógico

$$z_n = \frac{1}{V_c} \sum_{i=0}^n \delta y_i$$

Expresión del integrador



1) Analog Input and Accumulator Output Waveforms



2) Delta Modulation Waveform

ADC tipo Sigma-delta

Conversores ADC y DAC

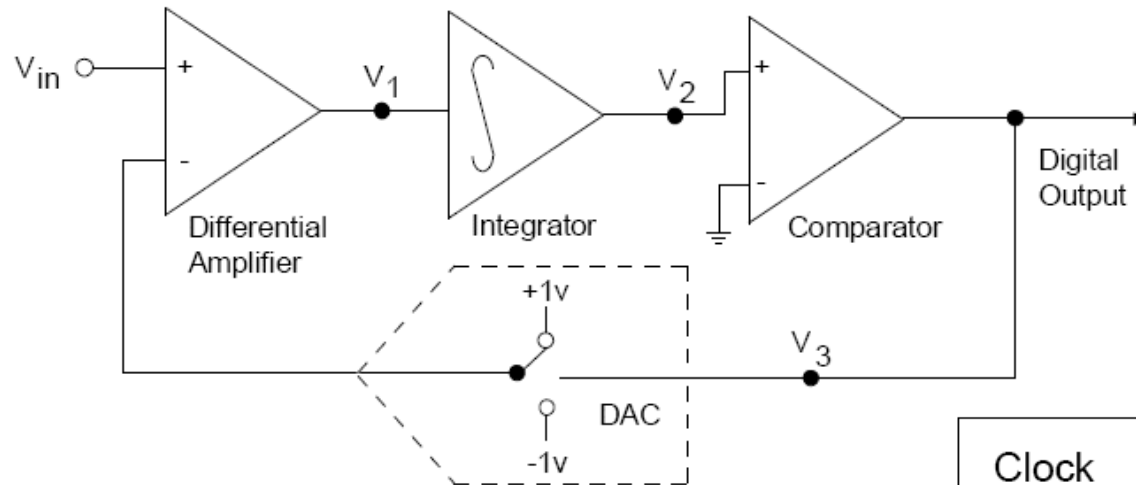


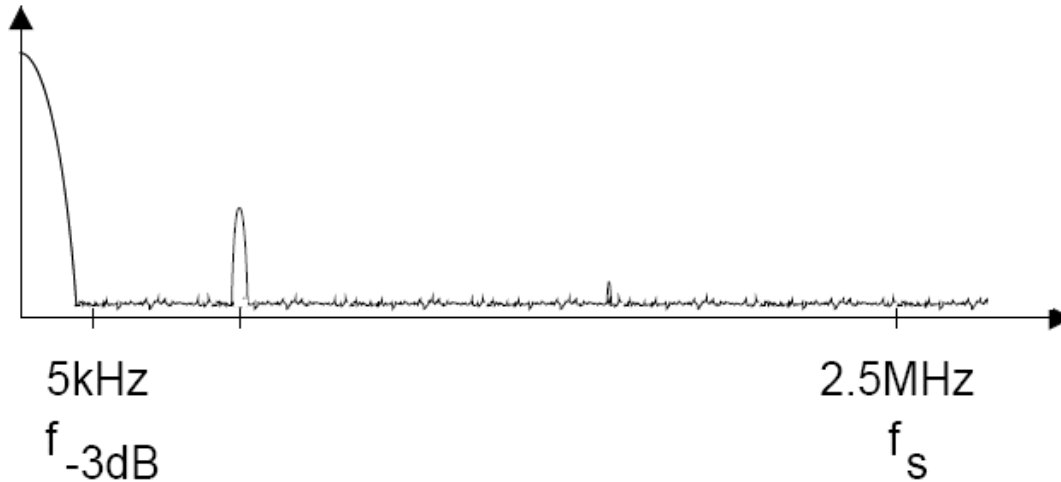
Diagrama en bloques de un modulador Sigma-Delta elemental de primer orden

Ejemplo de funcionamiento del conversor, suponiendo una entrada analógica de 0,6 V

En general los conversores Sigma-delta tienen resoluciones de 16 a 24 bits y se basan en el sobremuestreo y filtrado digital. Su aplicación principal es en el procesamiento de señales de audio.

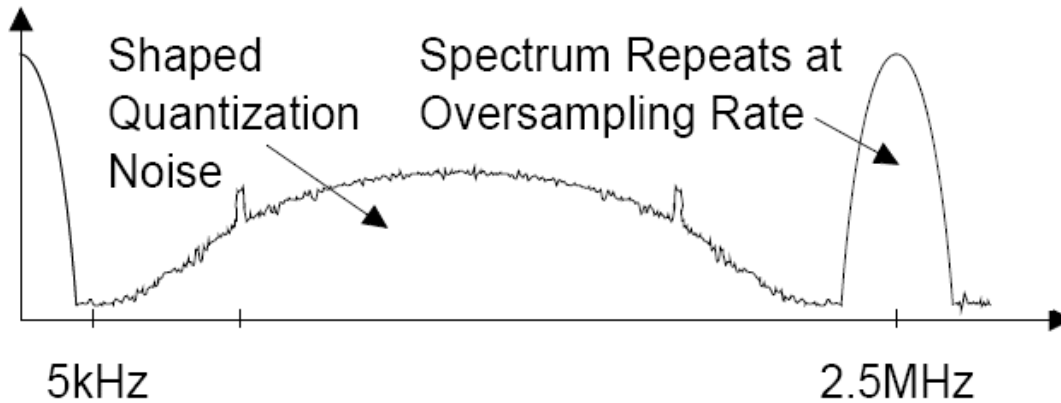
Clock Period	V ₁	V ₂	V ₃	Period Avg
0	0	0	0	
1	0.6	0.6	1	
2	-0.4	0.2	1	0.6
3	-0.4	-0.2	-1	
4	1.6	1.4	1	
5	-0.4	1.0	1	
6	-0.4	0.6	1	
7	-0.4	0.2	1	
8	-0.4	-0.2	-1	

a. Analog Input Spectrum



En el proceso de sobre muestreo se logra distribuir la energía del ruido a fin de quedarse sólo con la ayuda de un posterior filtrado, la parte que entra dentro del espectro de la señal a adquirir.

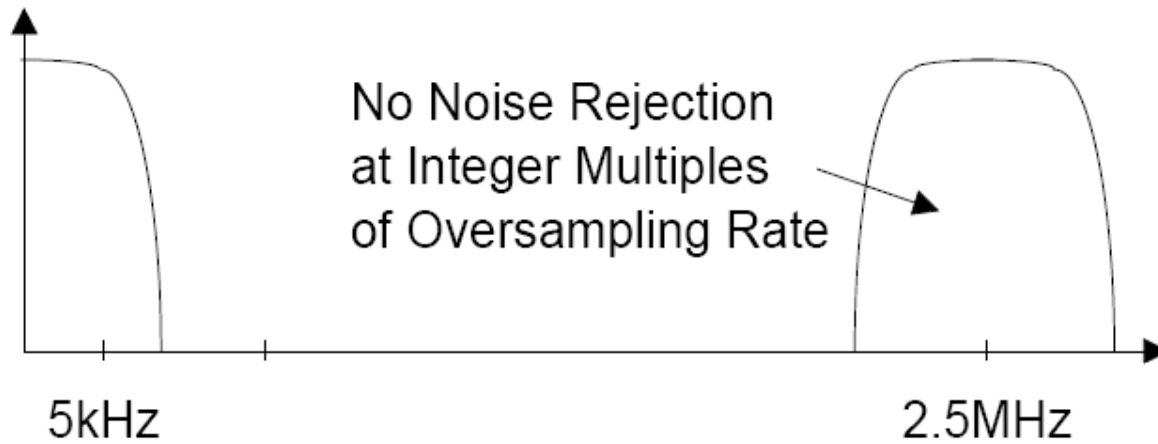
b. Modulator Digital Output Spectrum



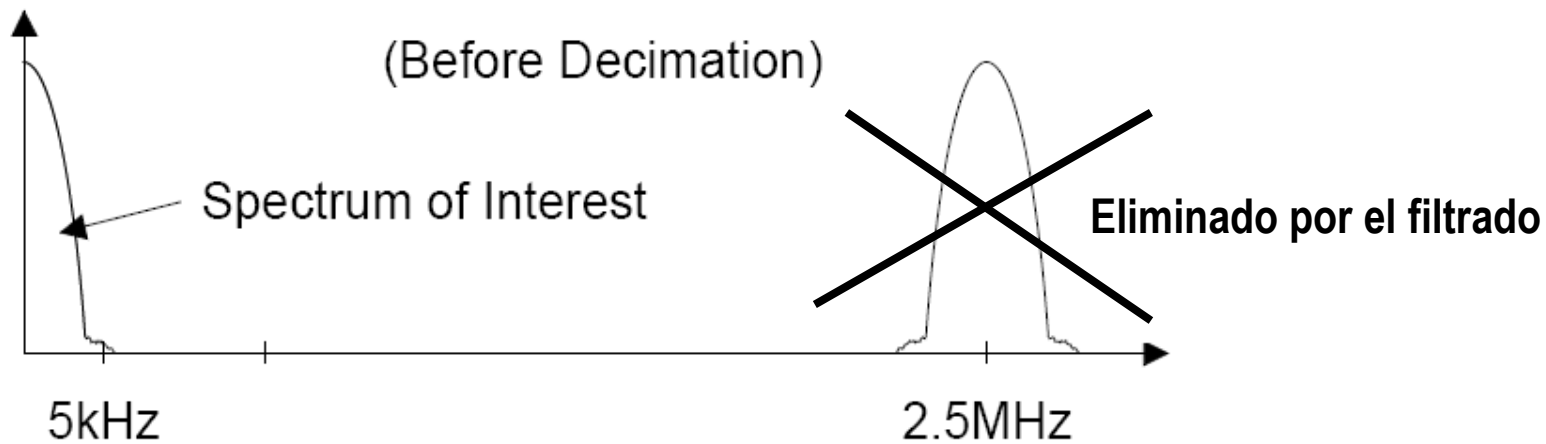
ADC tipo Sigma-delta

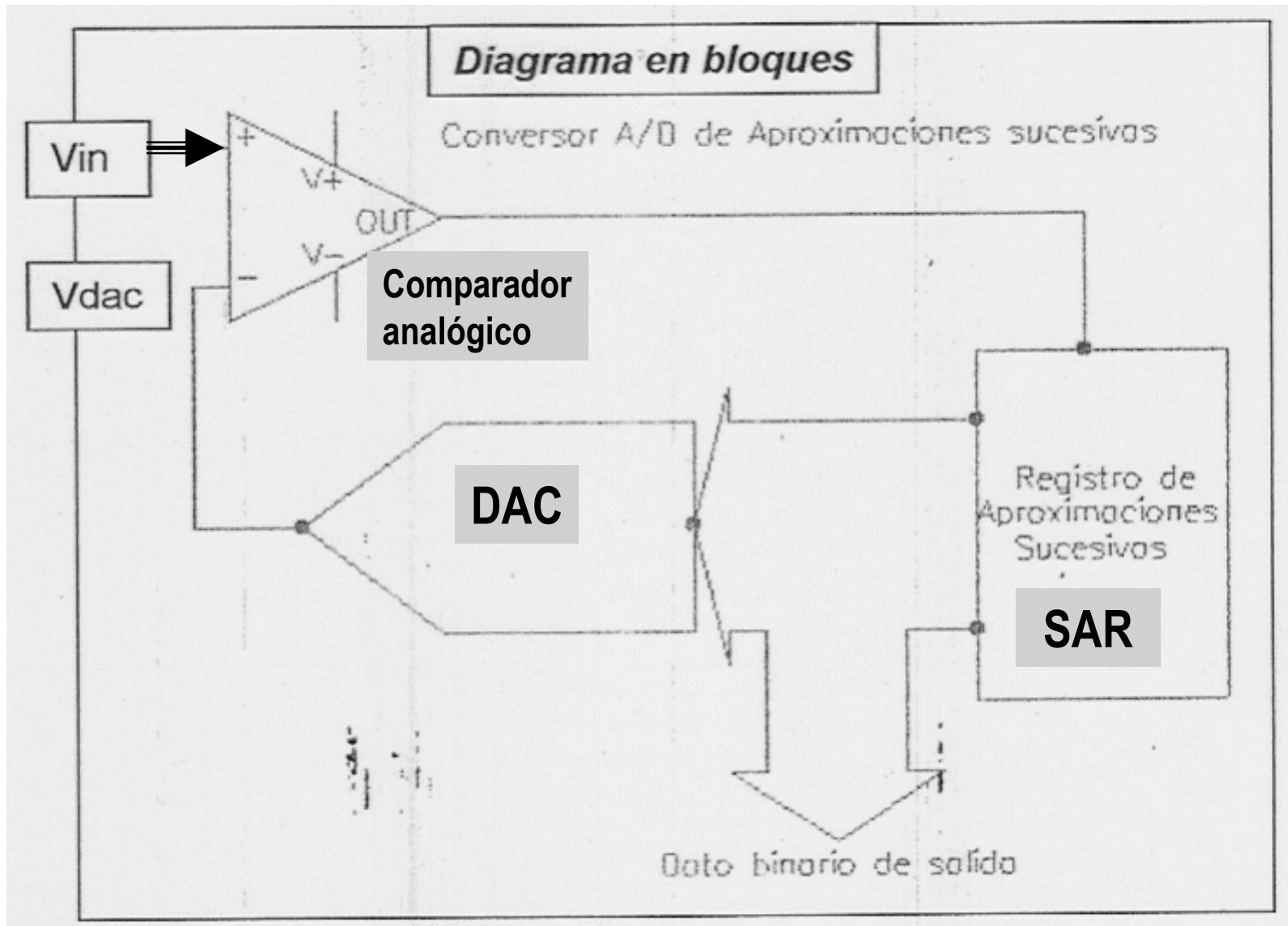
Conversores ADC y DAC

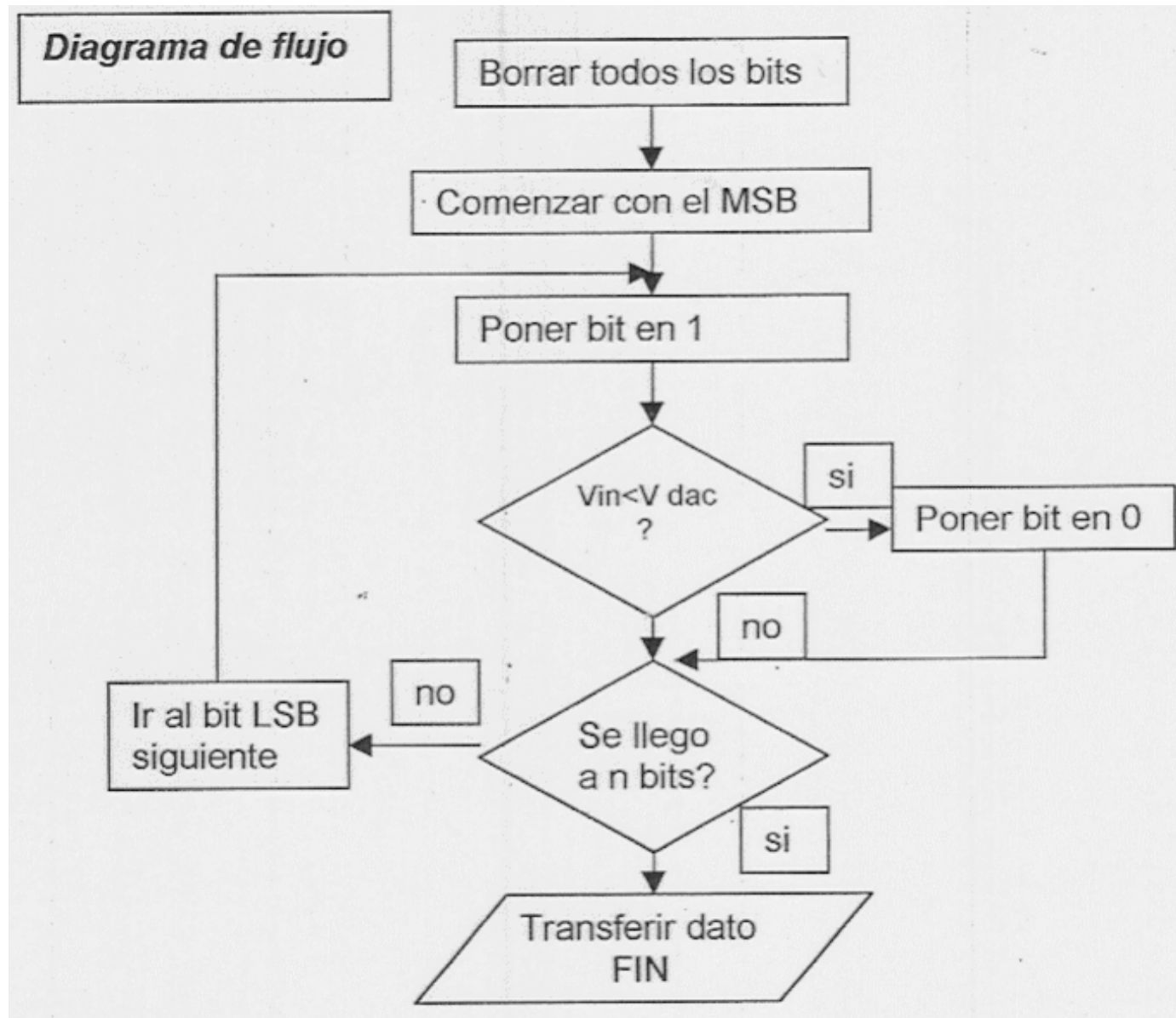
c. Digital Filter Response

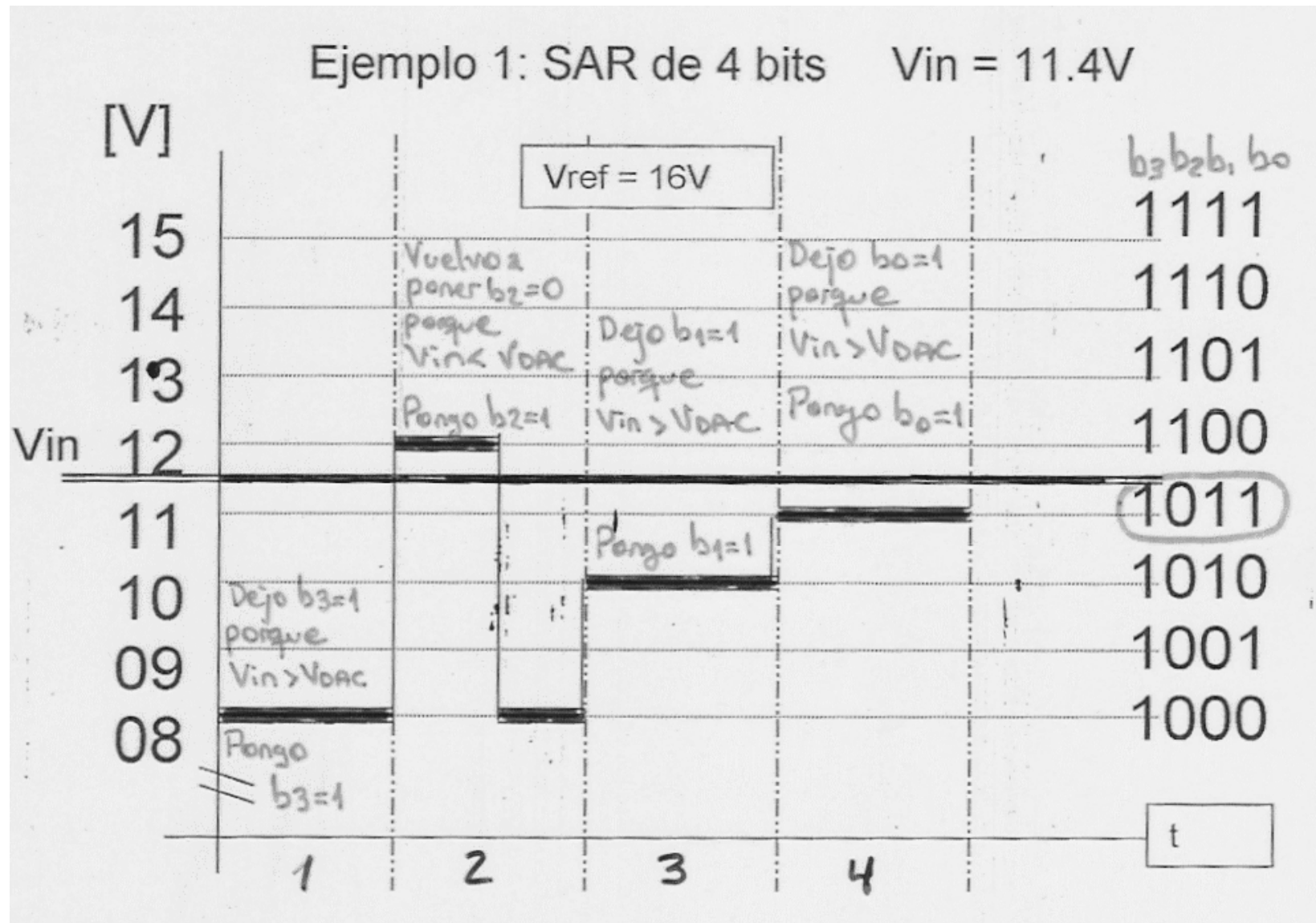


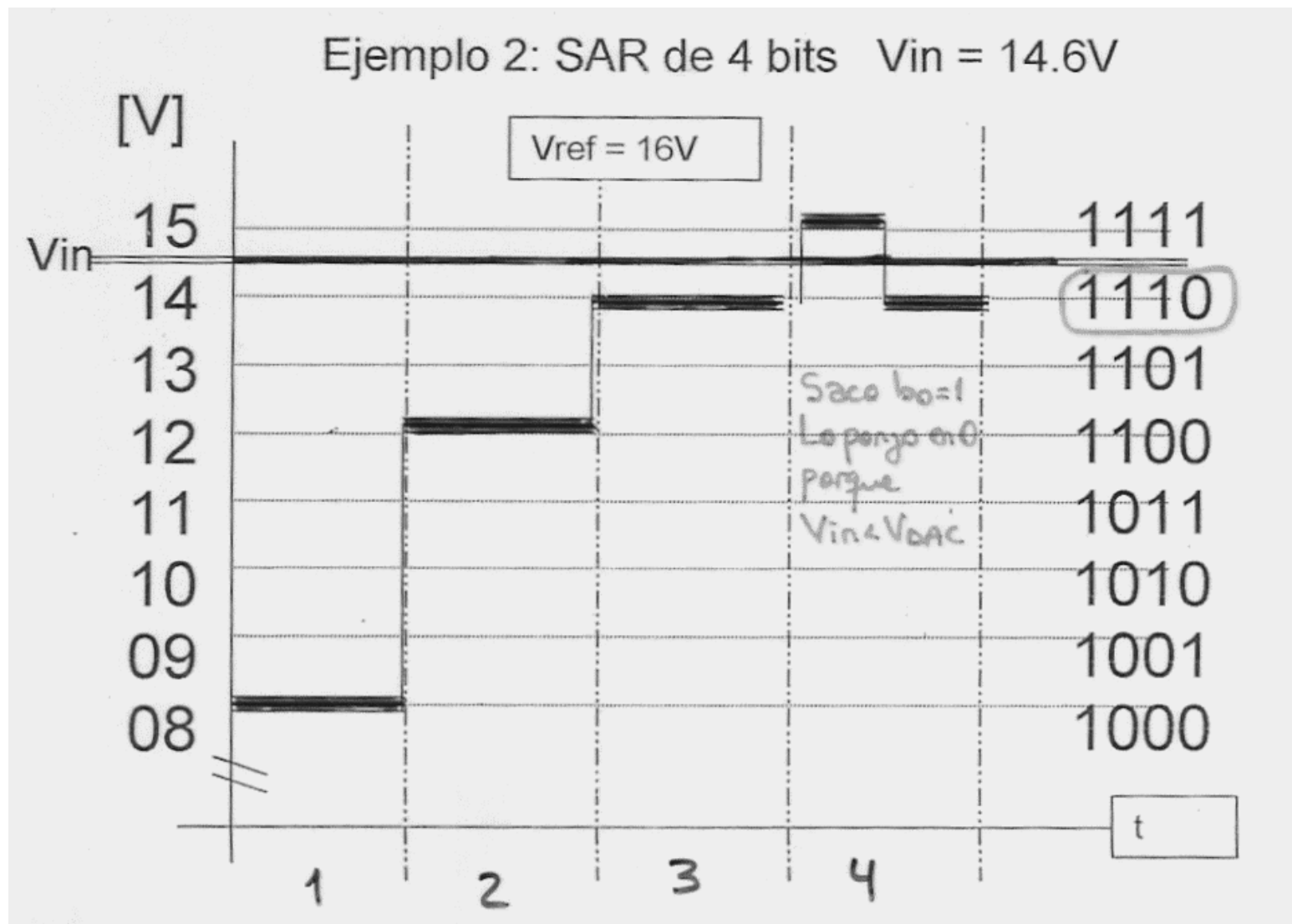
d. Digital Filter Output Spectrum





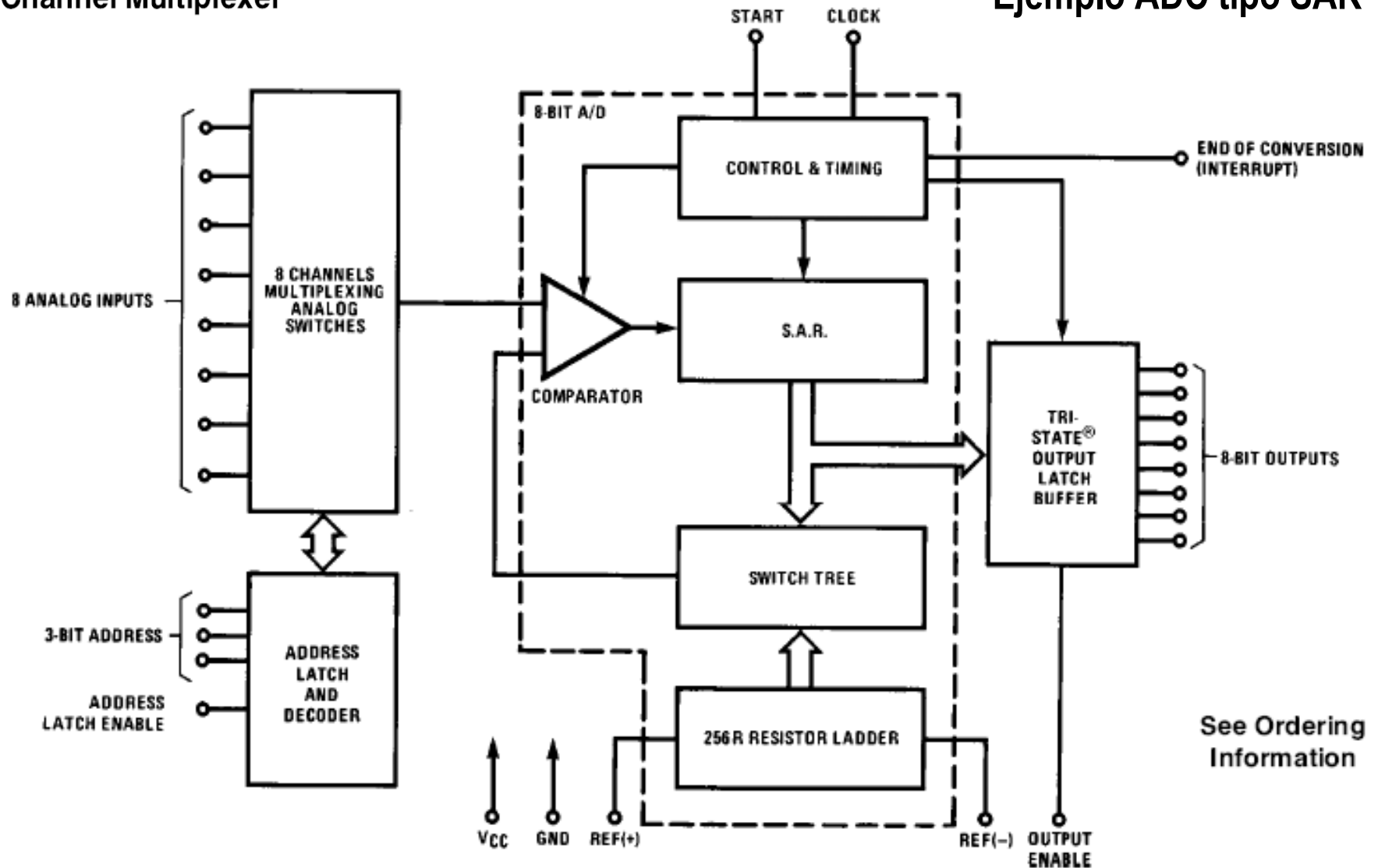






ADC0808/ADC0809 8-Bit μ P Compatible A/D Converters with 8-Channel Multiplexer

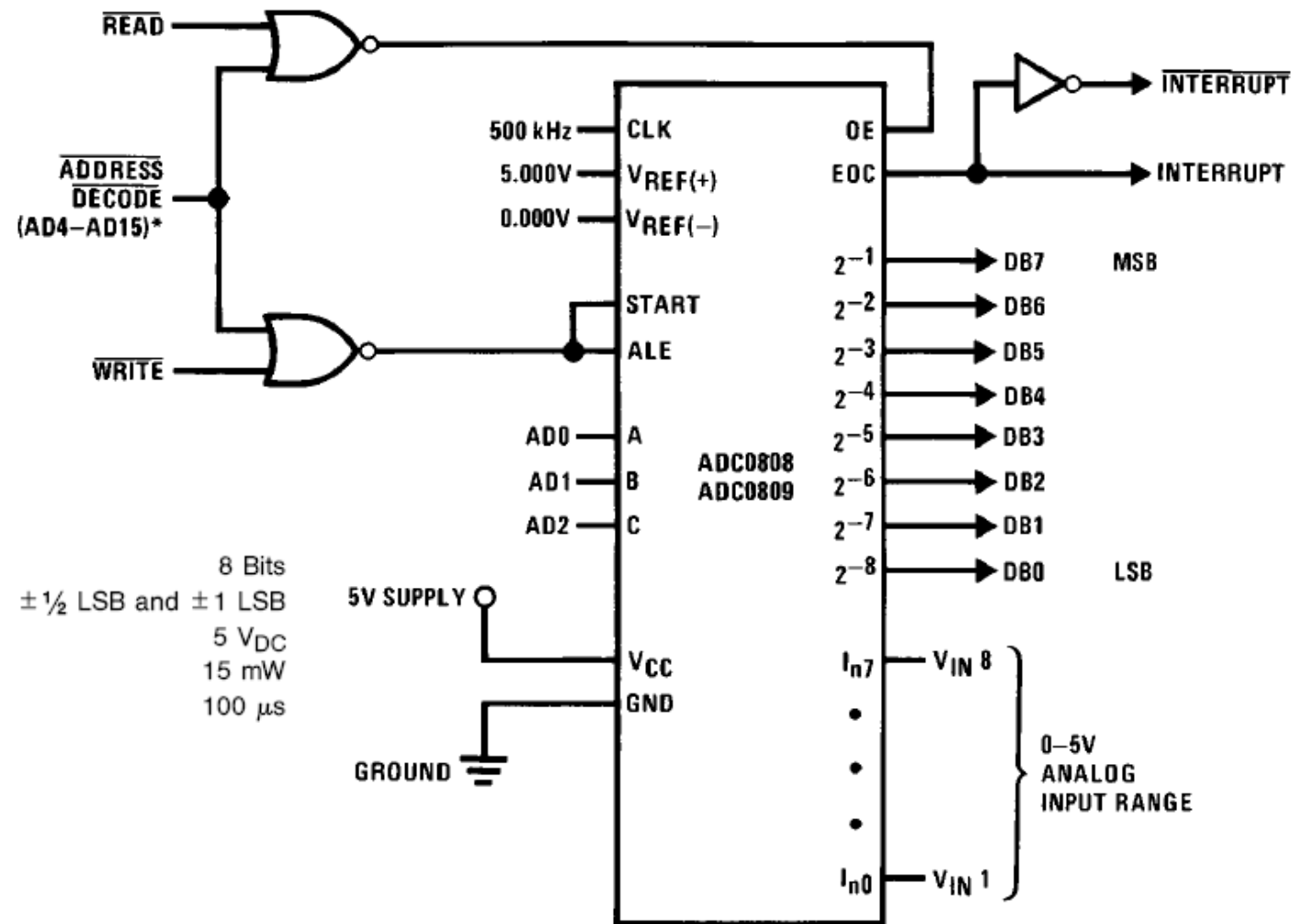
Ejemplo ADC tipo SAR



See Ordering Information

Conversores ADC y DAC

Ejemplo ADC tipo SAR



Key Specifications

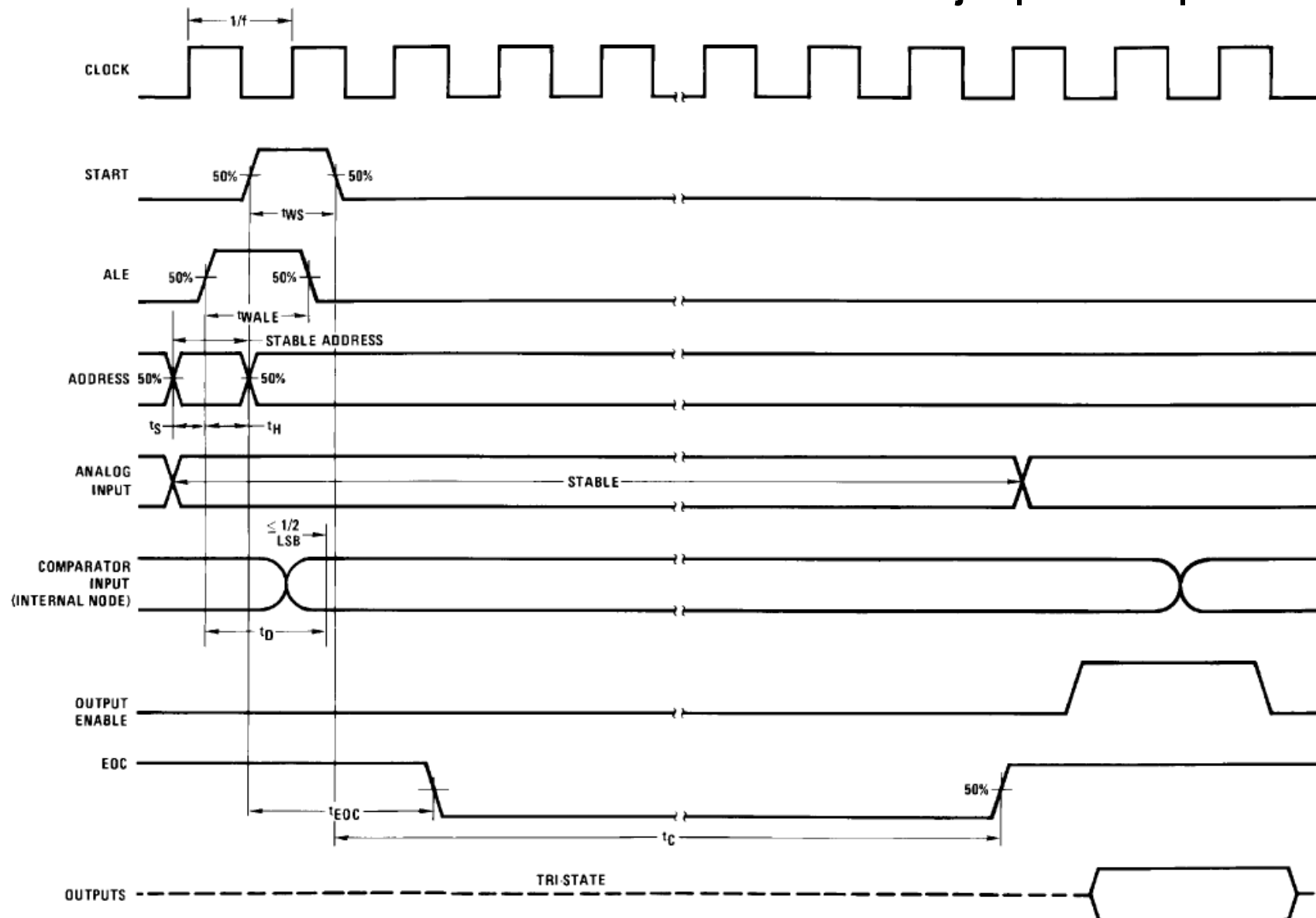
- Resolution
- Total Unadjusted Error
- Single Supply
- Low Power
- Conversion Time

8 Bits
 $\pm 1/2$ LSB and ± 1 LSB
 5 V_{DC}
 15 mW
 100 μ s

Conversores ADC y DAC

Timing Diagram

Ejemplo ADC tipo SAR



ADC tipo Flash

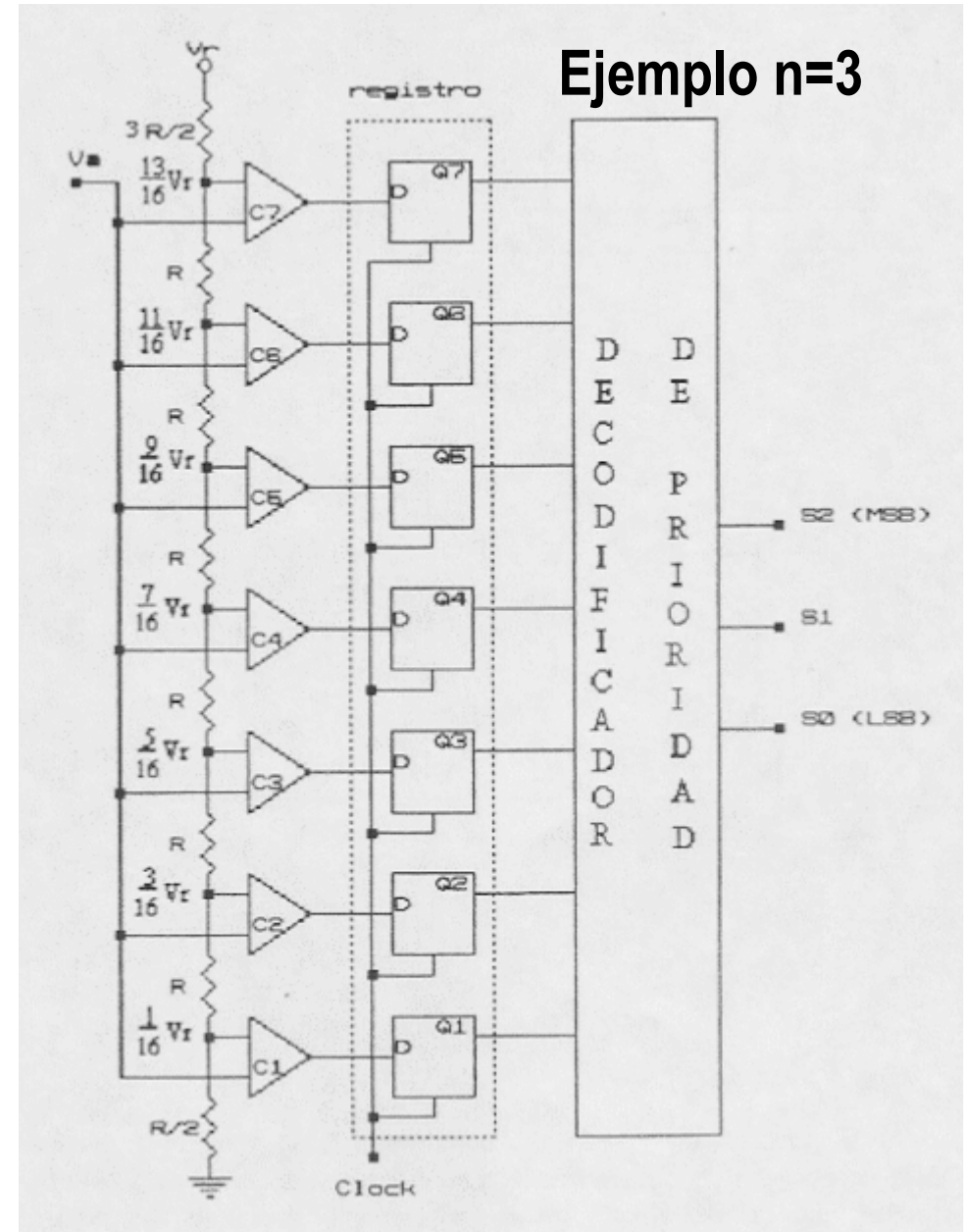
Es el conversor comercial mas rápido.

Se necesitan $2^n - 1$ comparadores analógicos para implementar un conversor de n bits.

Tabla de síntesis del decodificador

Q7	Q6	Q5	Q4	Q3	Q2	Q1	S2	S1	S0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

Conversores ADC y DAC



ADC tipo Flash

Conversores ADC y DAC

Gráfico de discretización en 3 bits de la señal analógica

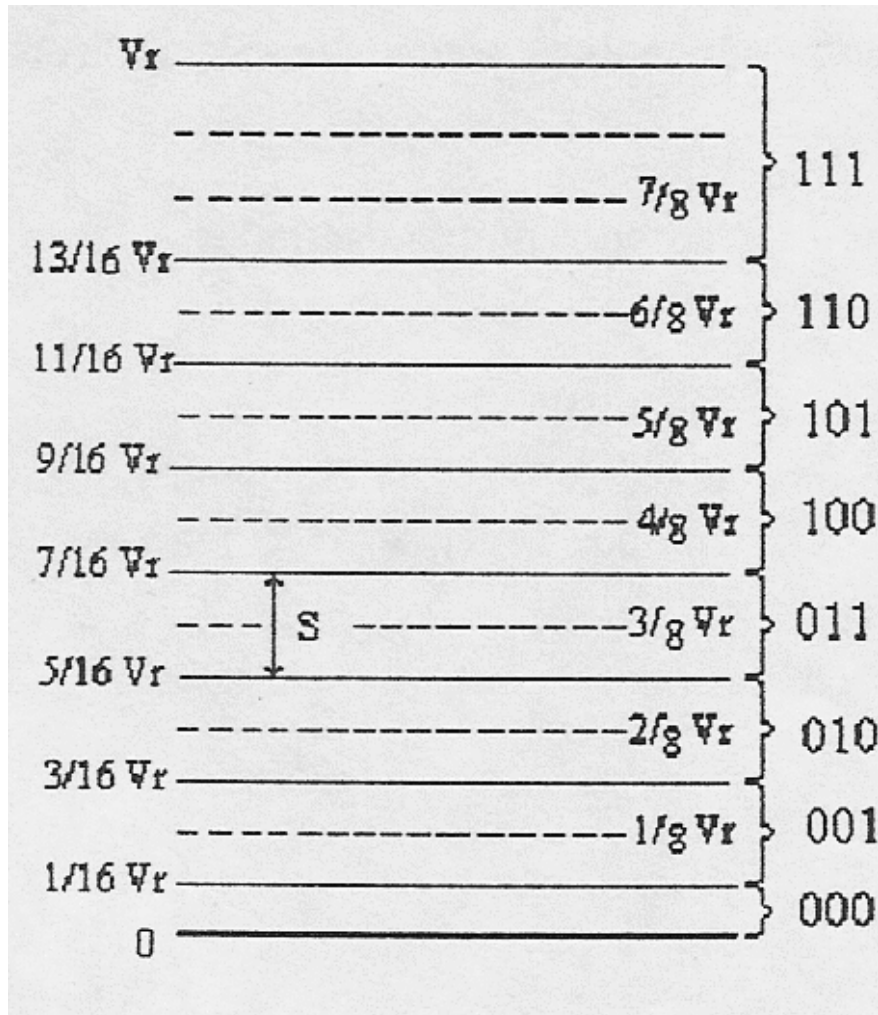
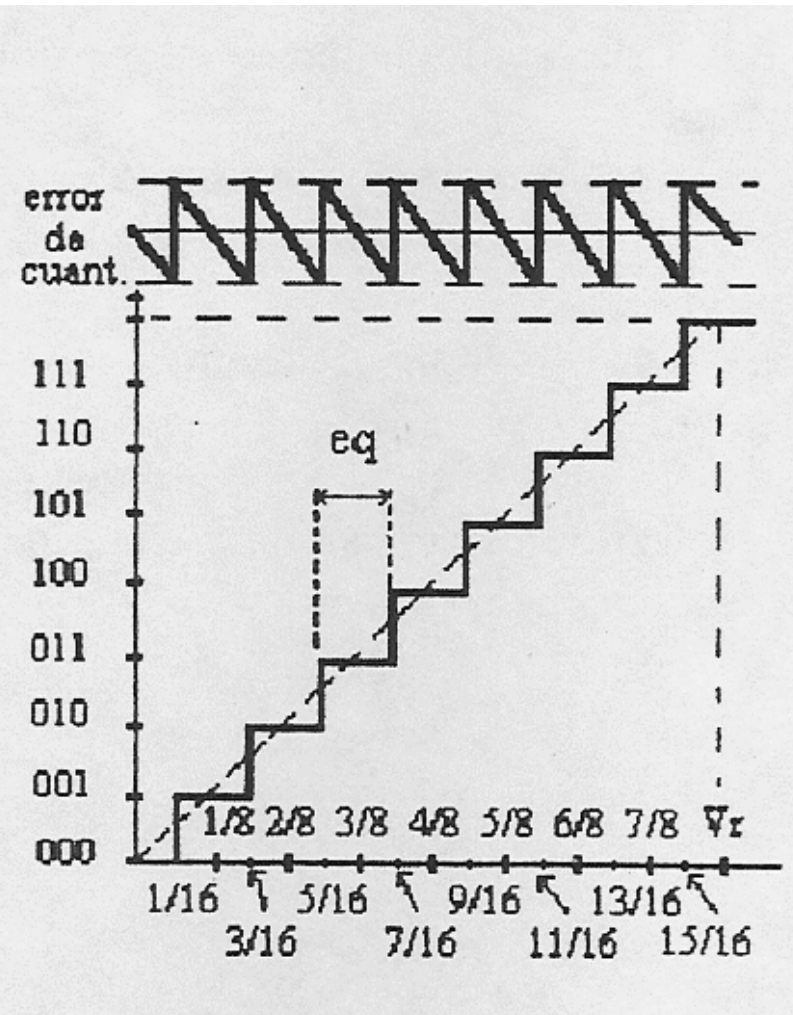
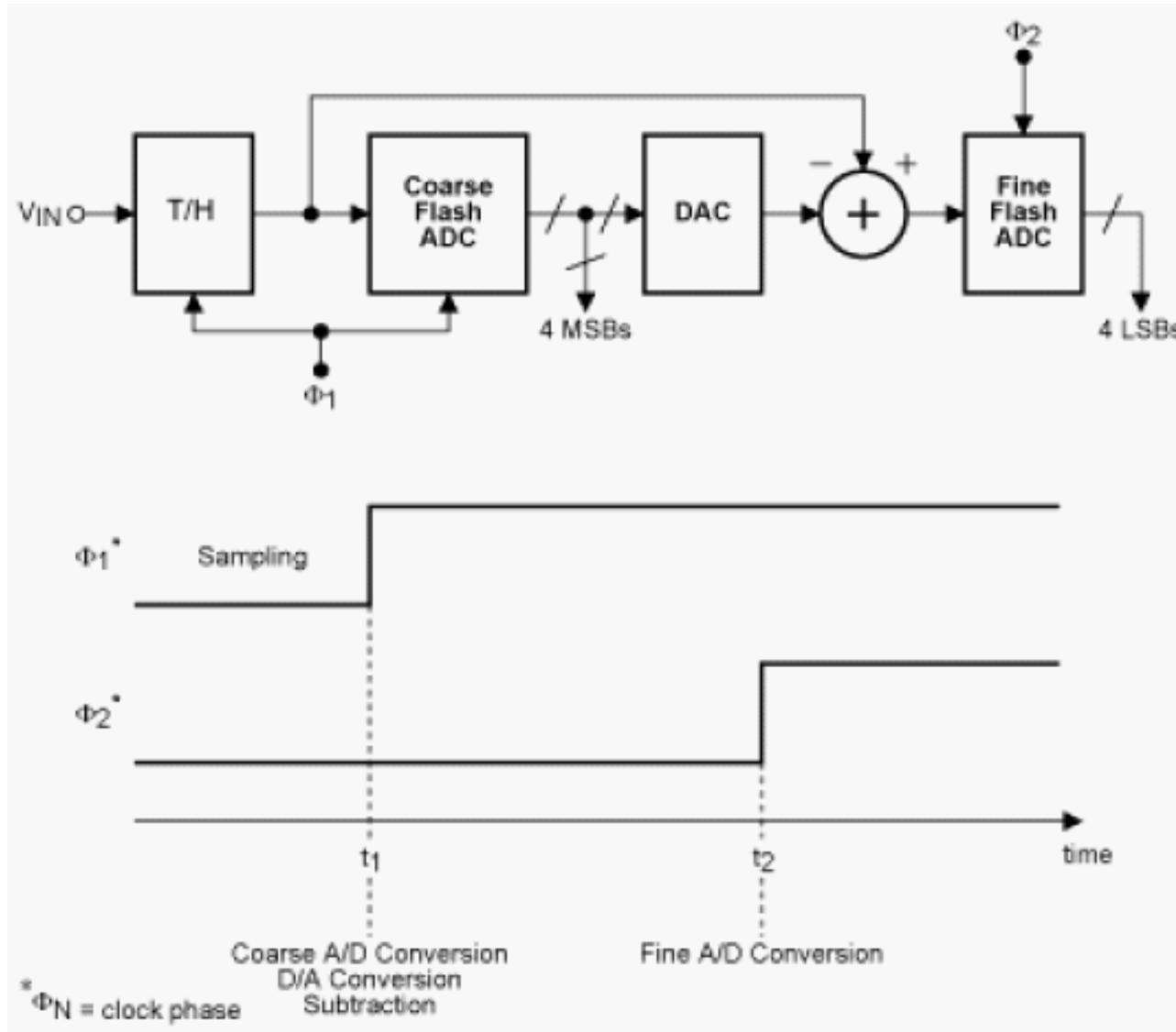


Gráfico de función de transferencia y evolución del error de cuantización



ADC tipo Flash multietapa

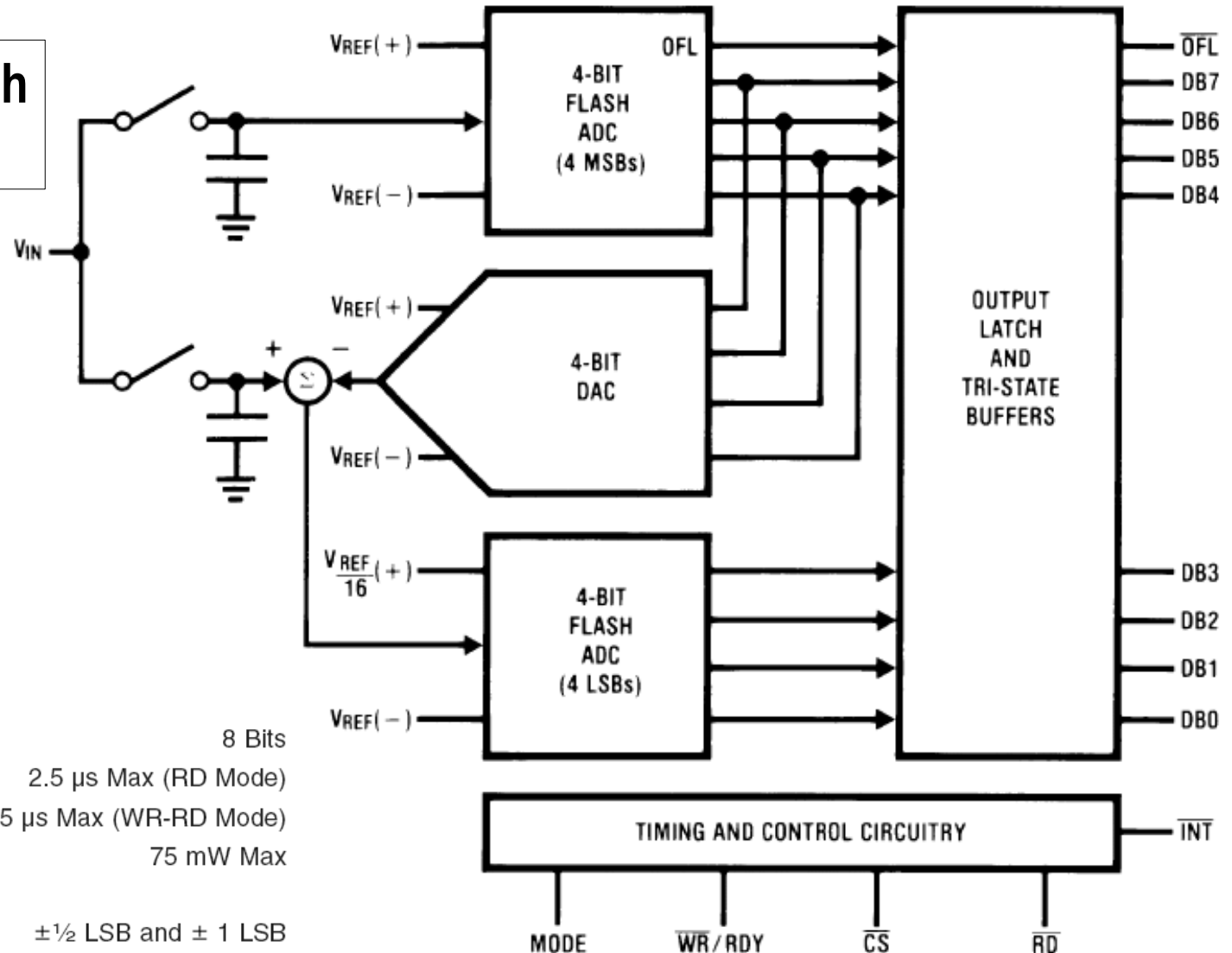
Conversores ADC y DAC



ADC0820

8-Bit High Speed μ P Compatible A/D Converter with Track/Hold Function

Ejemplo ADC Flash multietapa



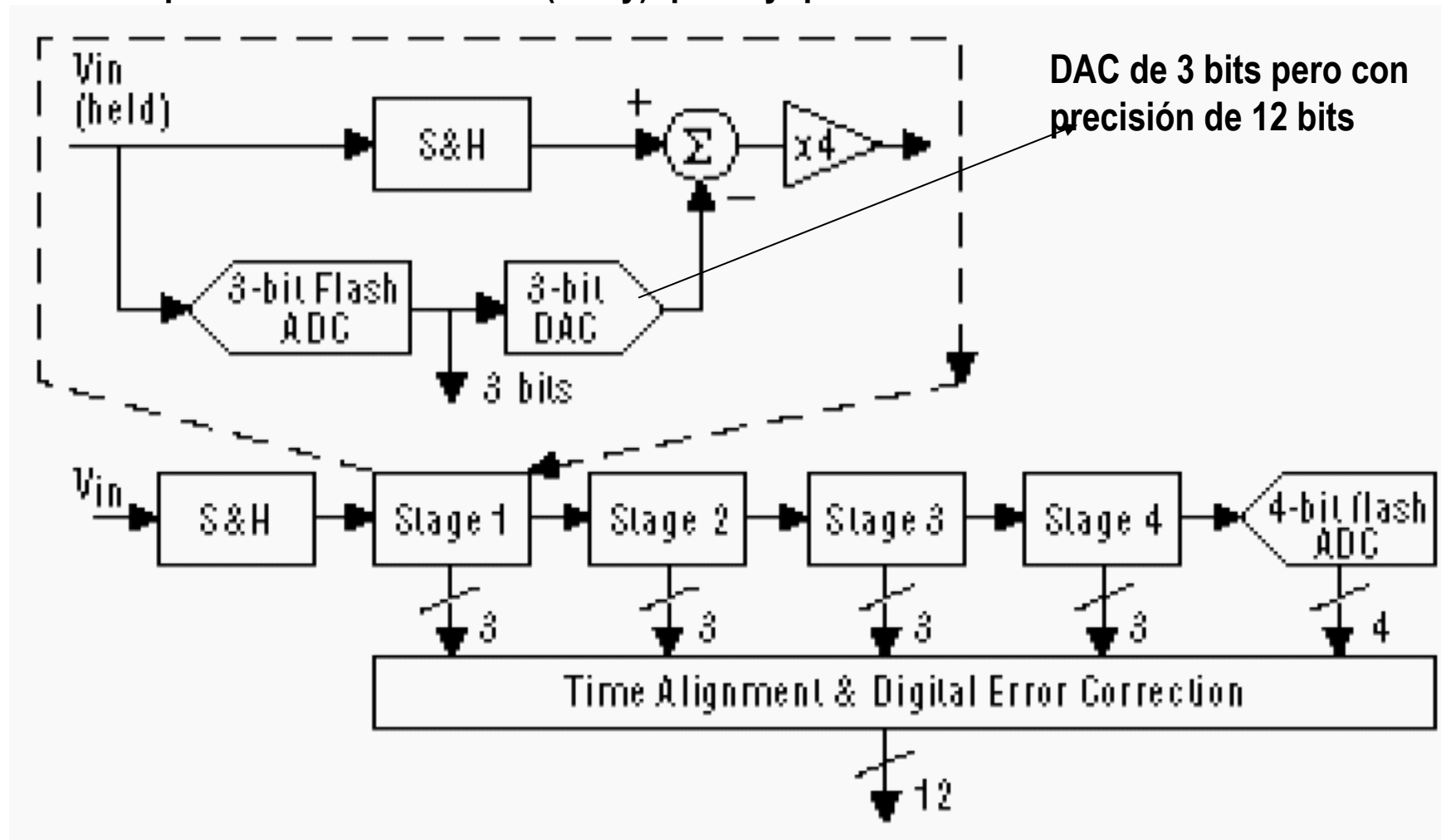
Key Specifications

- Resolution 8 Bits
- Conversion Time 2.5 μ s Max (RD Mode)
1.5 μ s Max (WR-RD Mode)
- Low Power 75 mW Max
- Total Unadjusted Error $\pm 1/2$ LSB and ± 1 LSB

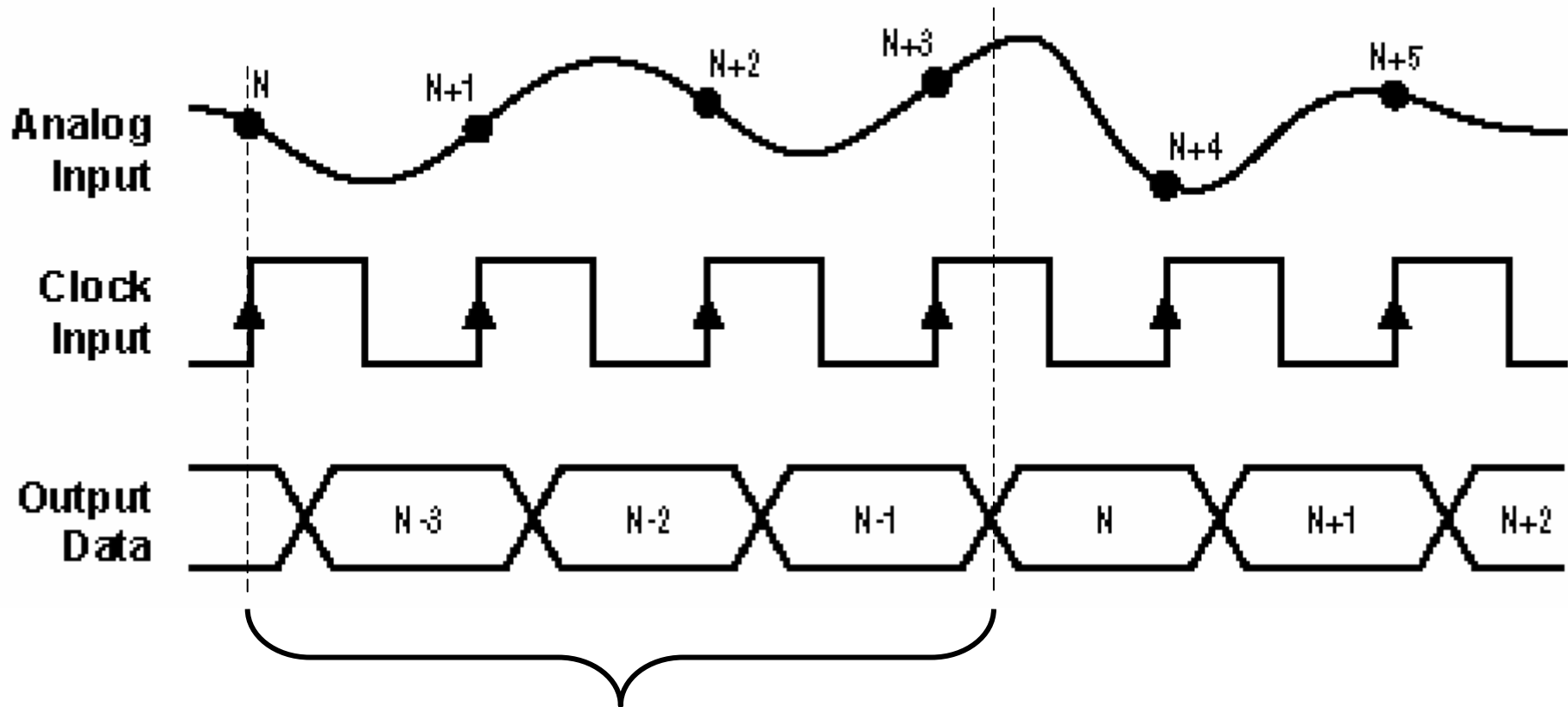
ADC tipo Pipeline

Conversores ADC y DAC

Basado en bloques que contienen ADC Flash y DAC se logra por sucesivas adquisiciones sintetizar una conversión a alta velocidad. En cada ciclo de reloj se tiene el resultado de una muestra pero existe una latencia (delay) que hay que considerar.



Proceso temporal de una muestra



Latencia: En cada ciclo de reloj se convierte una muestra pero aparece en el bus retrasada en este caso 4 ciclos.



ADC14L040

14-Bit, **40 MSPS**, 235 mW A/D Converter

Key Specifications

■ Resolution	14 Bits
■ DNL	±0.5 LSB (typ)
■ SNR ($f_{IN} = 10$ MHz)	74 dB (typ)
■ SFDR ($f_{IN} = 10$ MHz)	90 dB (typ)
■ Data Latency	7 Clock Cycles
■ Power Consumption	
■ -- Operating	235 mW (typ)
■ -- Power Down Mode	15 mW (typ)

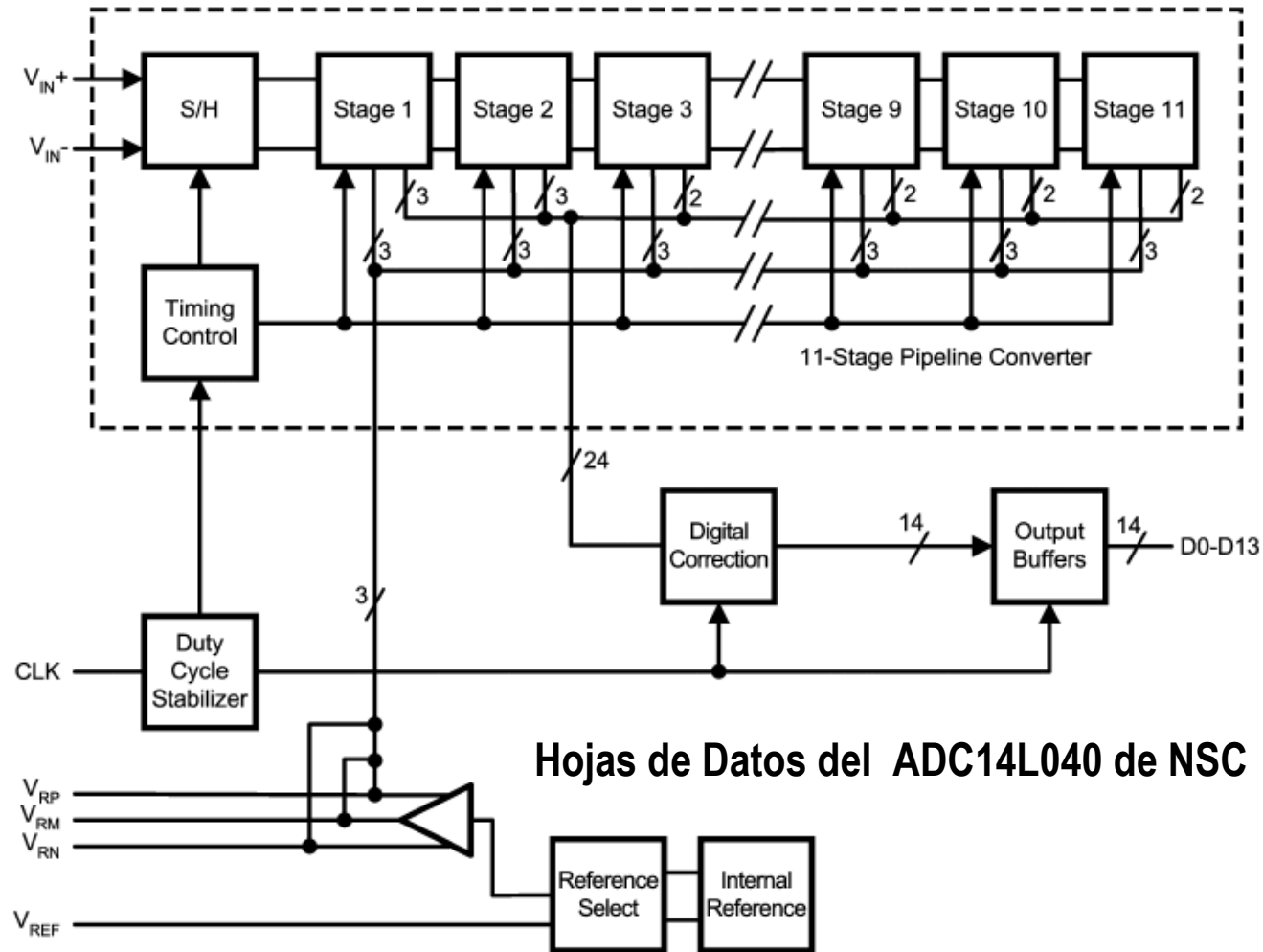
Hojas de Datos del ADC14L040 de NSC

Ejemplo de ADC tipo Pipeline

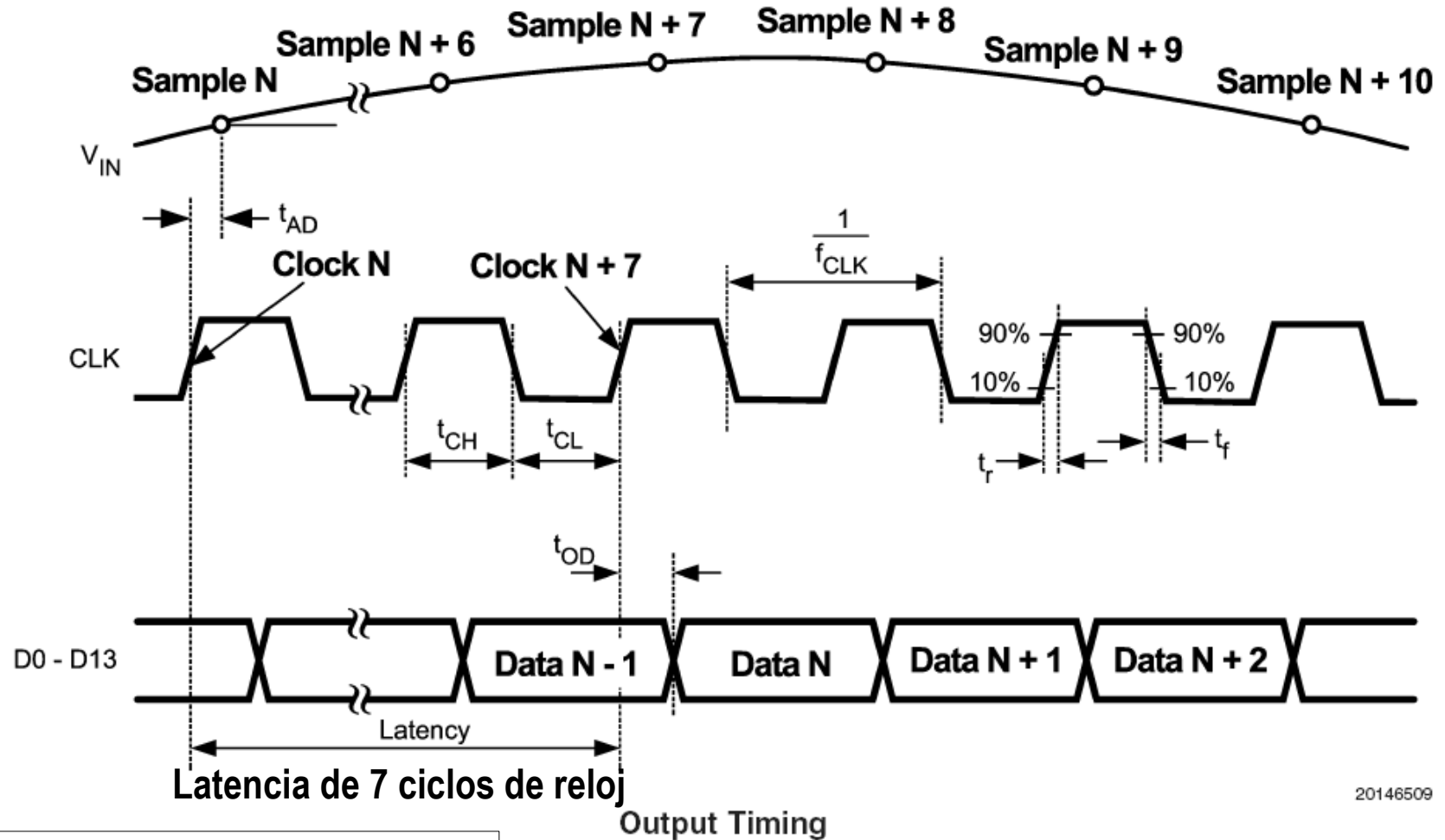
Conversores ADC y DAC

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC14L040CIVY	32 Pin LQFP
ADC14L040EVAL	Evaluation Board

Block Diagram



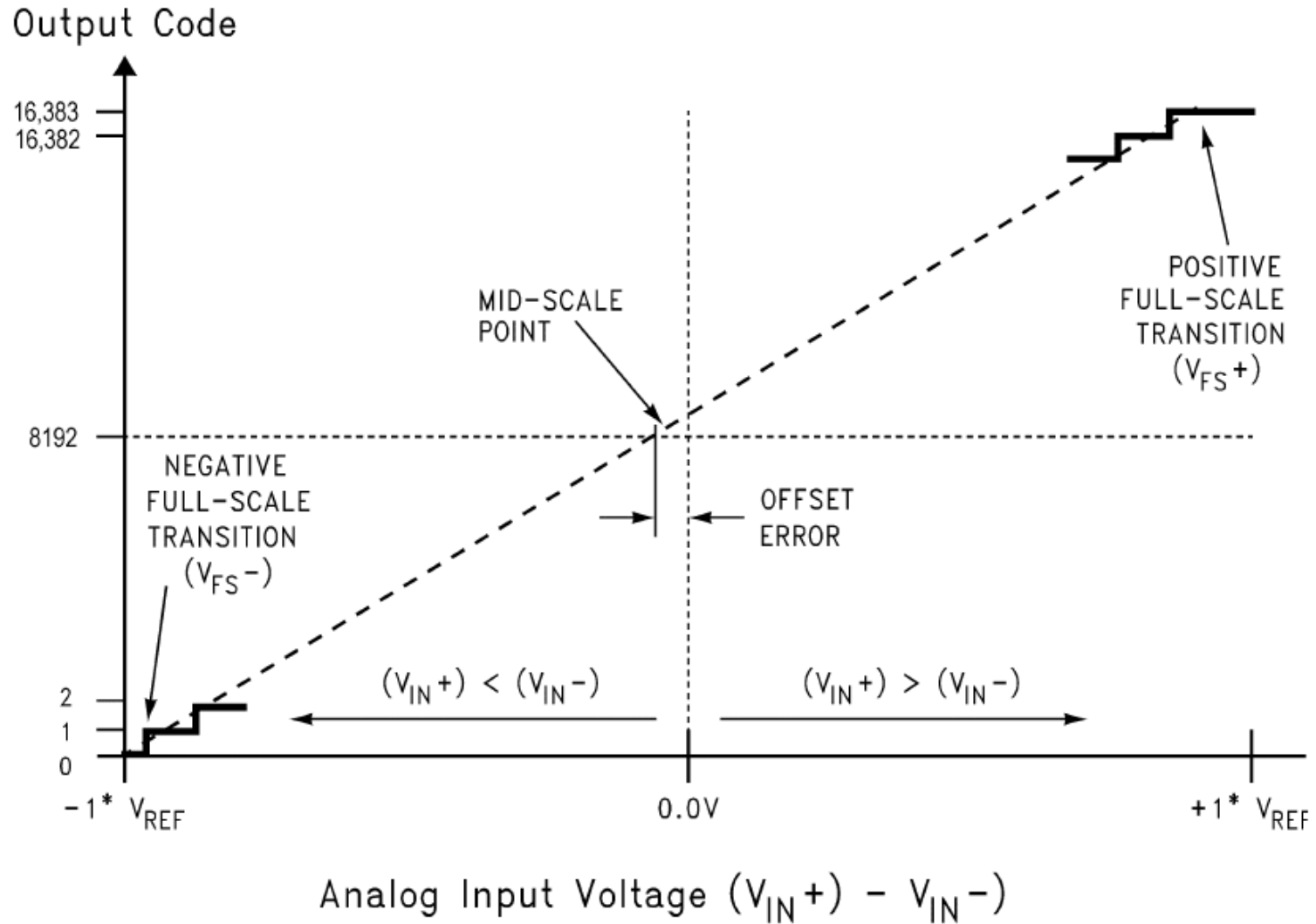
Timing Diagram



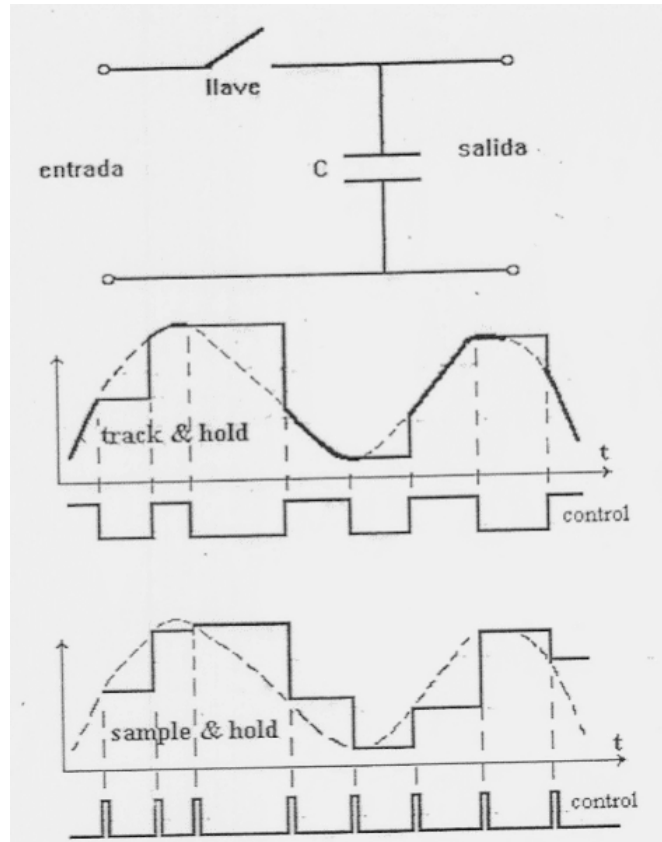
20146509

Hojas de Datos del ADC14L040 de NSC

Transfer Characteristic

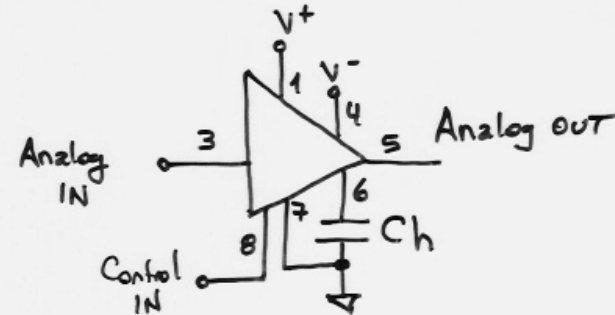


Diferencias entre S&H y T&H

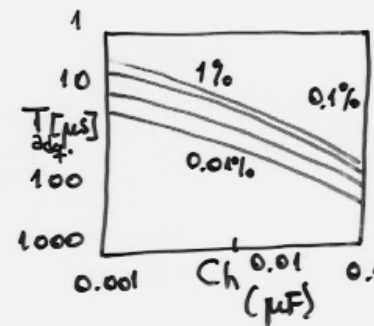


LF398

Ejemplo de S&H



Tiempo de adquisición <math>< 10\mu s</math>



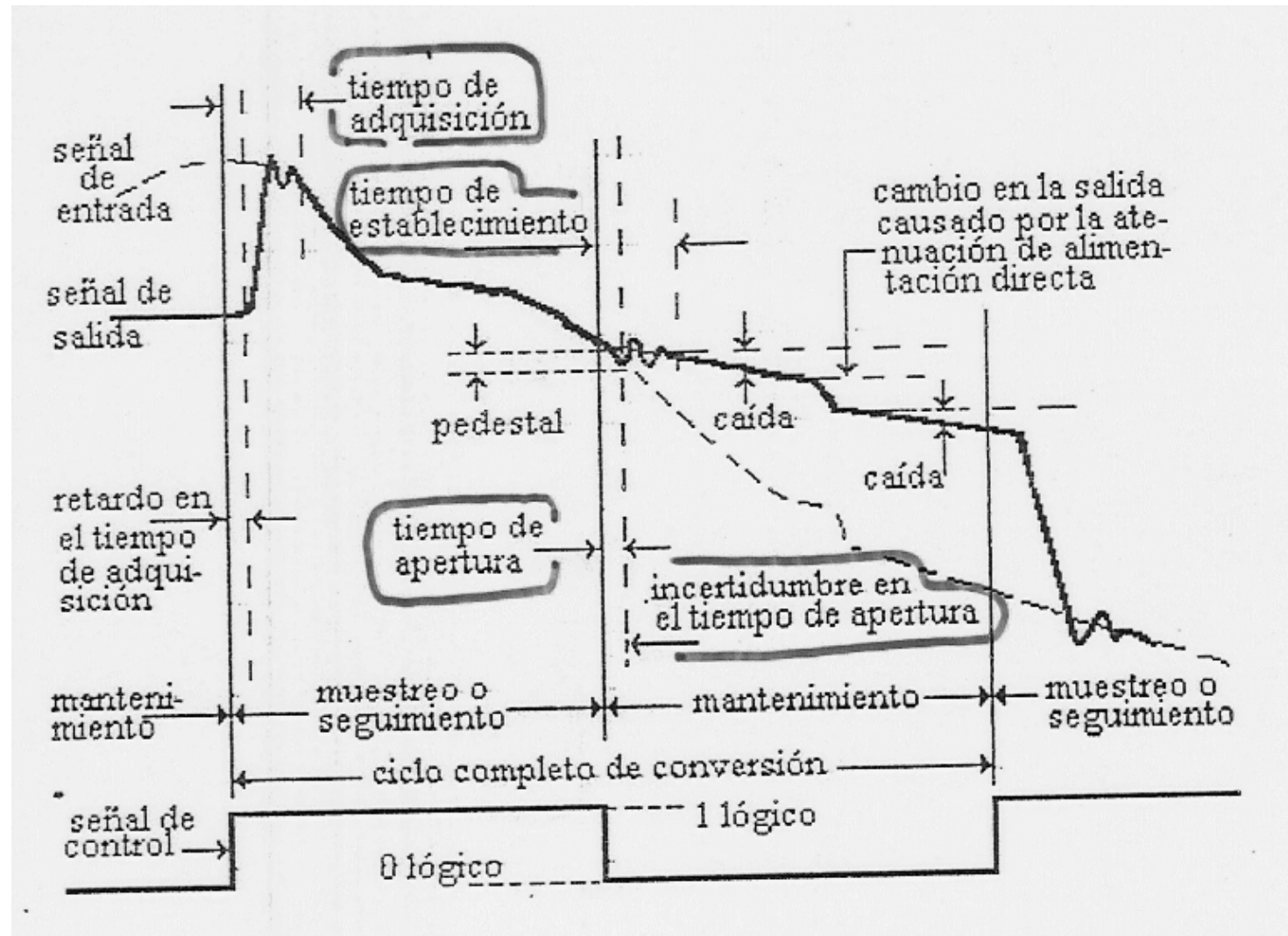
$V_{in} = 0 \pm 10V$

$C_h \text{ típico} = 0.01\mu F$

Tiempo de apertura : $\sim 100 \text{ a } 200ns$

Tiempo de establecimiento : $\sim 0,8\mu s$ dentro de la banda de 1mV

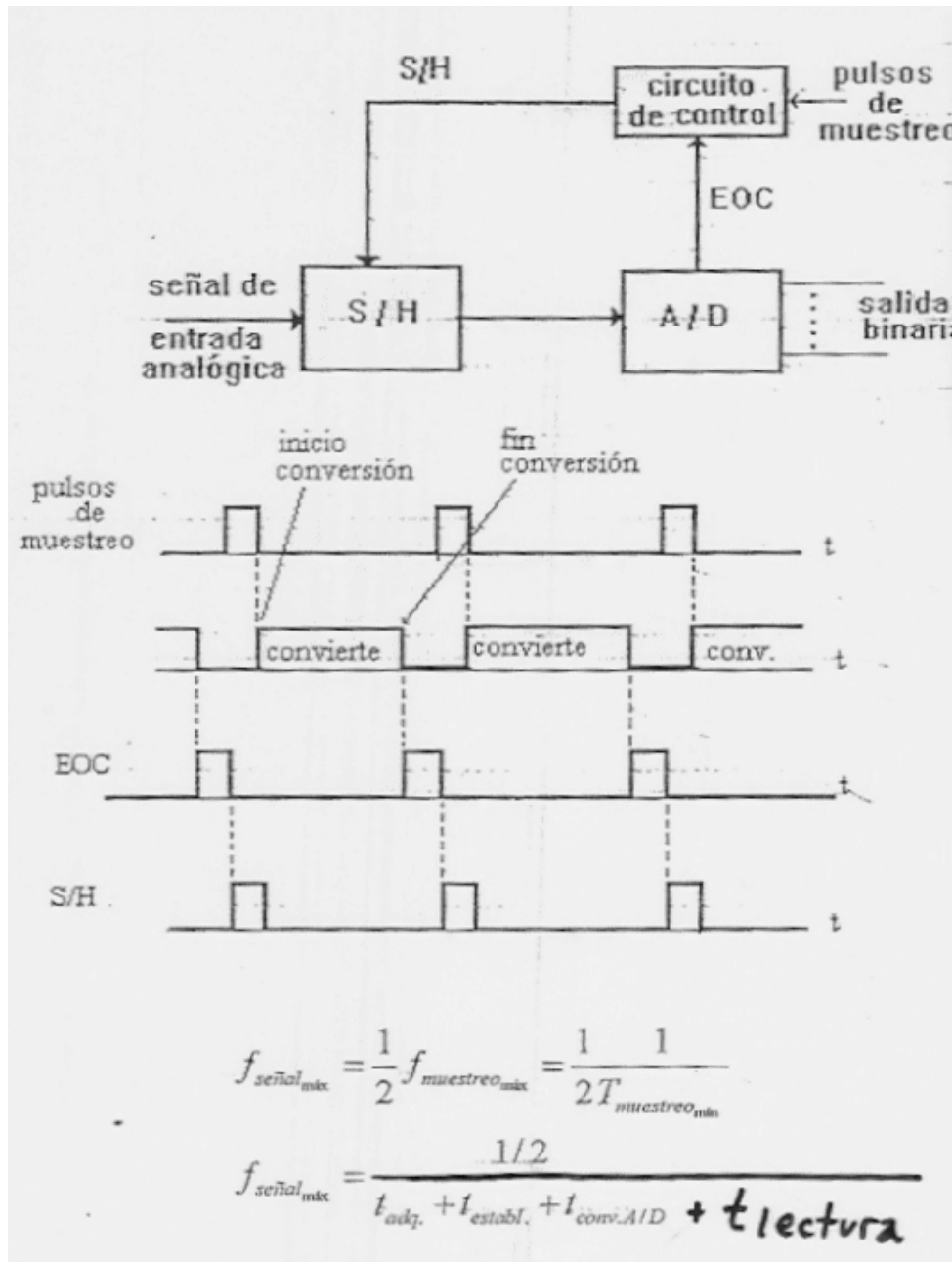
Tiempos relevantes en el proceso de muestreo y retención



Conversores ADC y DAC

Limitaciones en la velocidad de muestreo

Para el cálculo de la velocidad máxima de muestreo se deberá tener en cuenta los tiempos de adquisición y establecimiento del T&H ó S&H, tiempo de conversión del ADC y tiempo de lectura del sistema. Esto independientemente de cumplir con el teorema de muestreo (Nyquist).



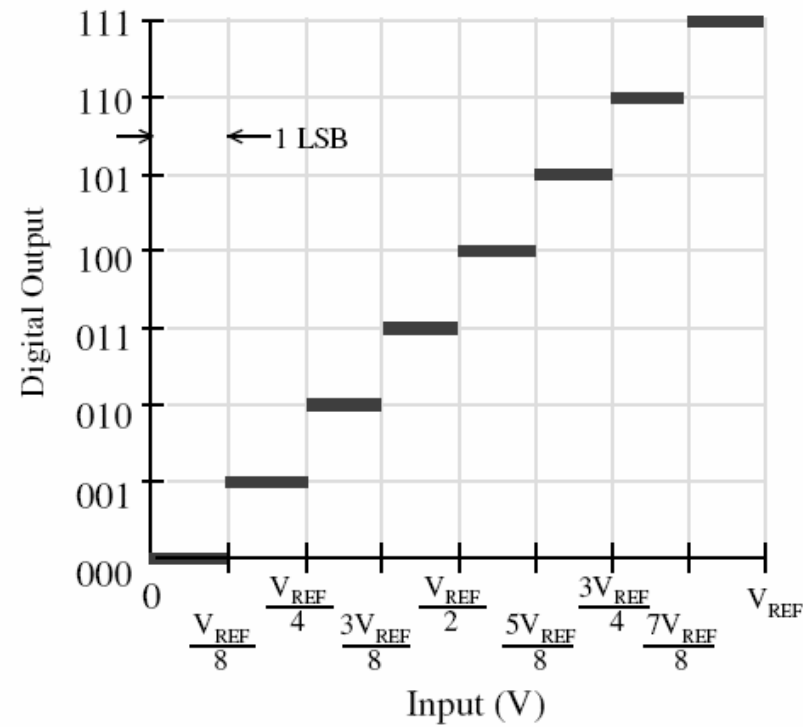
LSB Values by Resolution and Reference Voltage

- The value of an LSB depends upon the ADC Reference Voltage and Resolution

V_{REF}	Resolution	1 LSB
1.00V	8	3.9062 mV
1.00V	12	244.14 μ V
2.00V	8	7.8125 mV
2.00V	10	1.9531 mV
2.00V	12	488.28 μ V
2.048V	10	2.0000 mV
2.048V	12	500.00 μ V
4.00V	8	15.625 mV
4.00V	10	3.9062 mV
4.00V	12	976.56 μ V



Quantization Error



ERROR

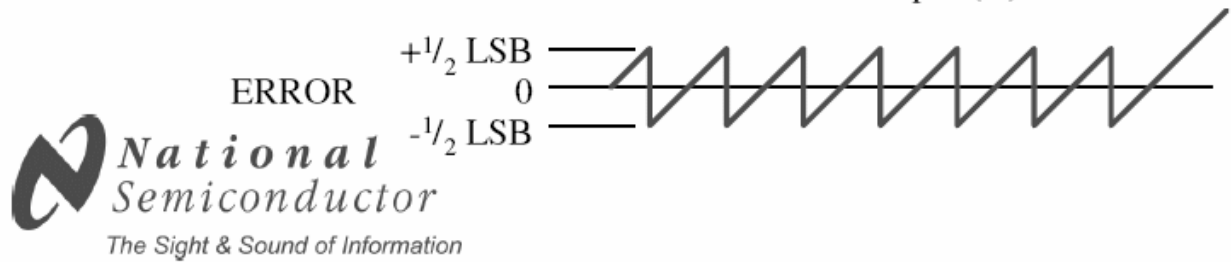
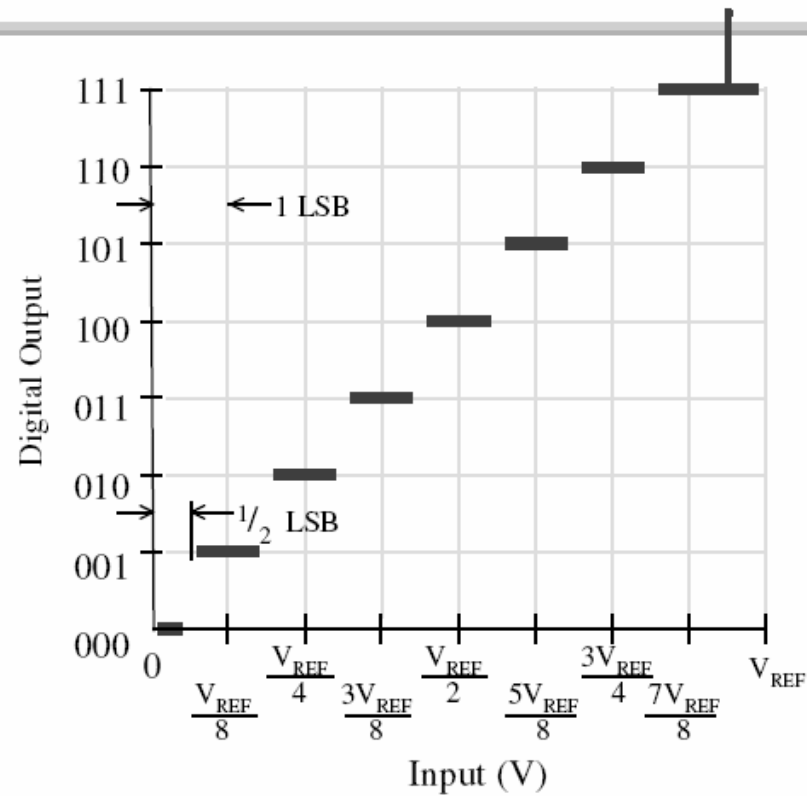


The Magnitude of the Error Ranges from Zero to 1 LSB



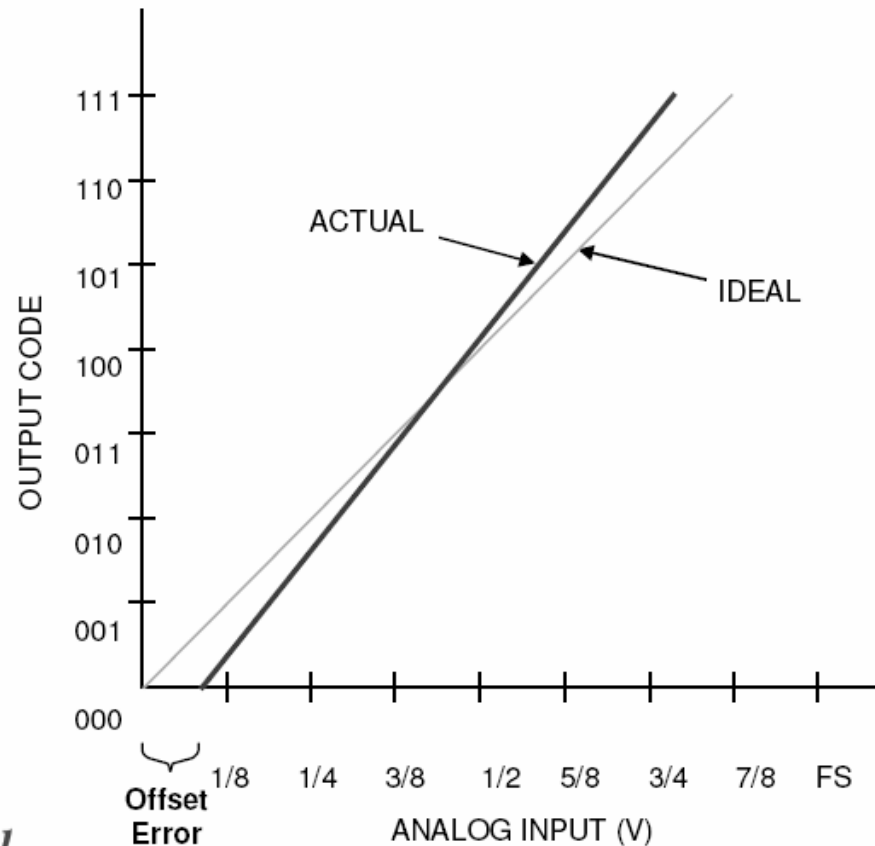


Adding $1/2$ LSB Offset



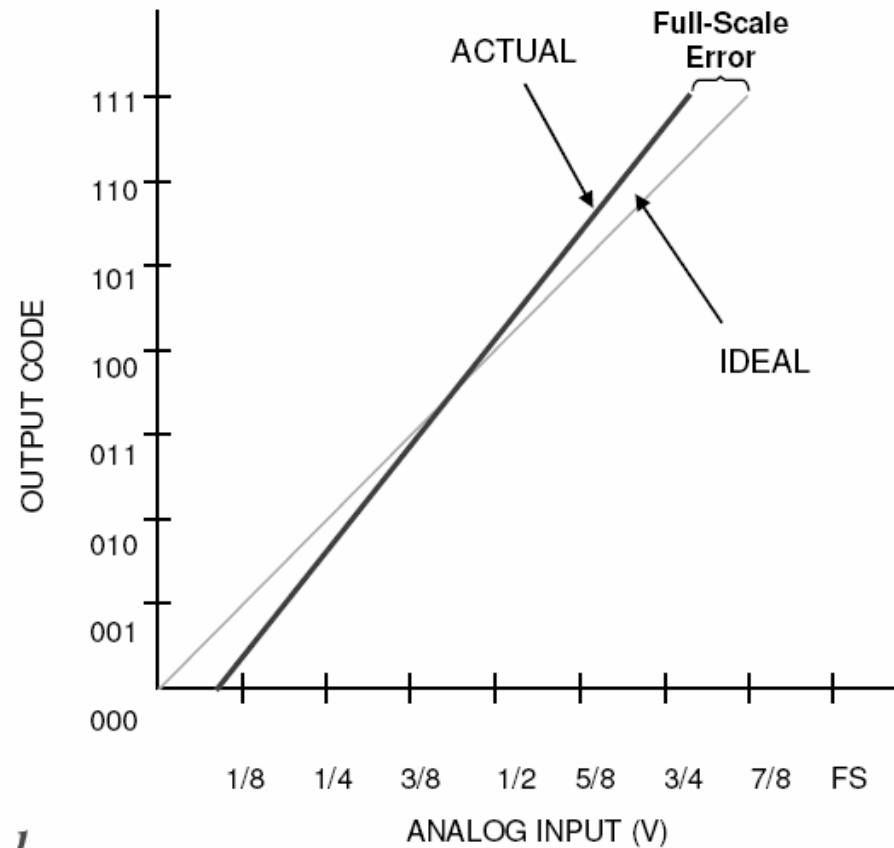


Offset Error



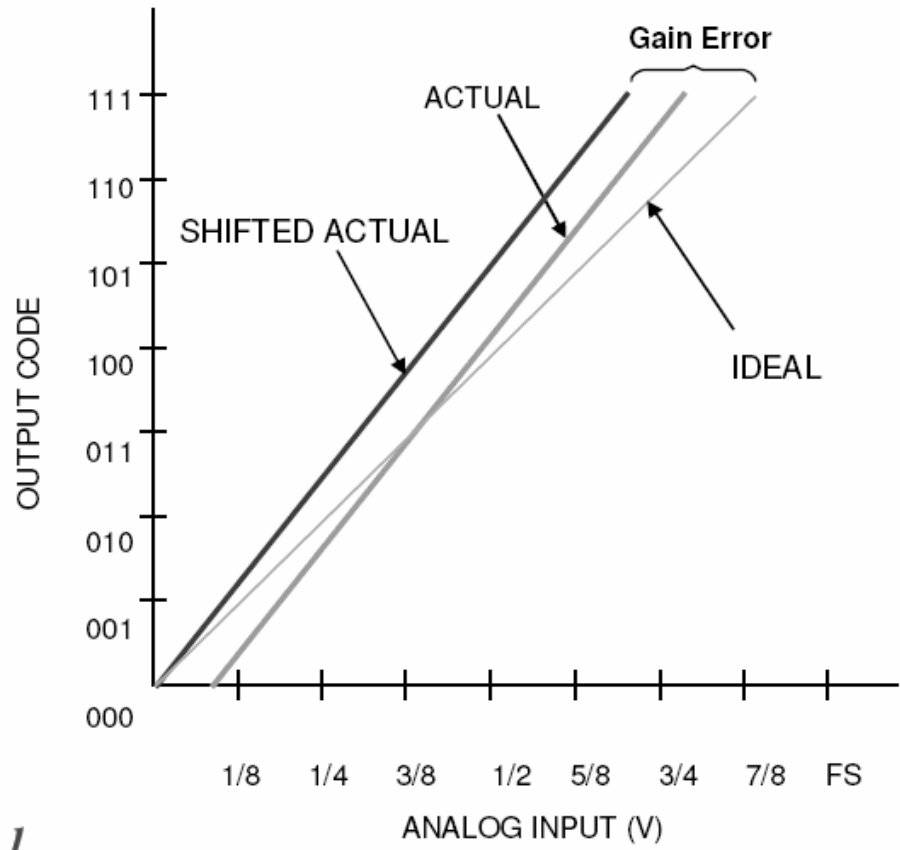


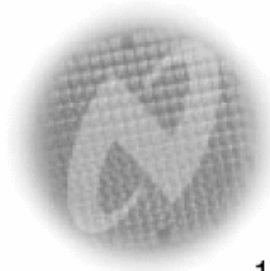
Full-Scale (Offset) Error



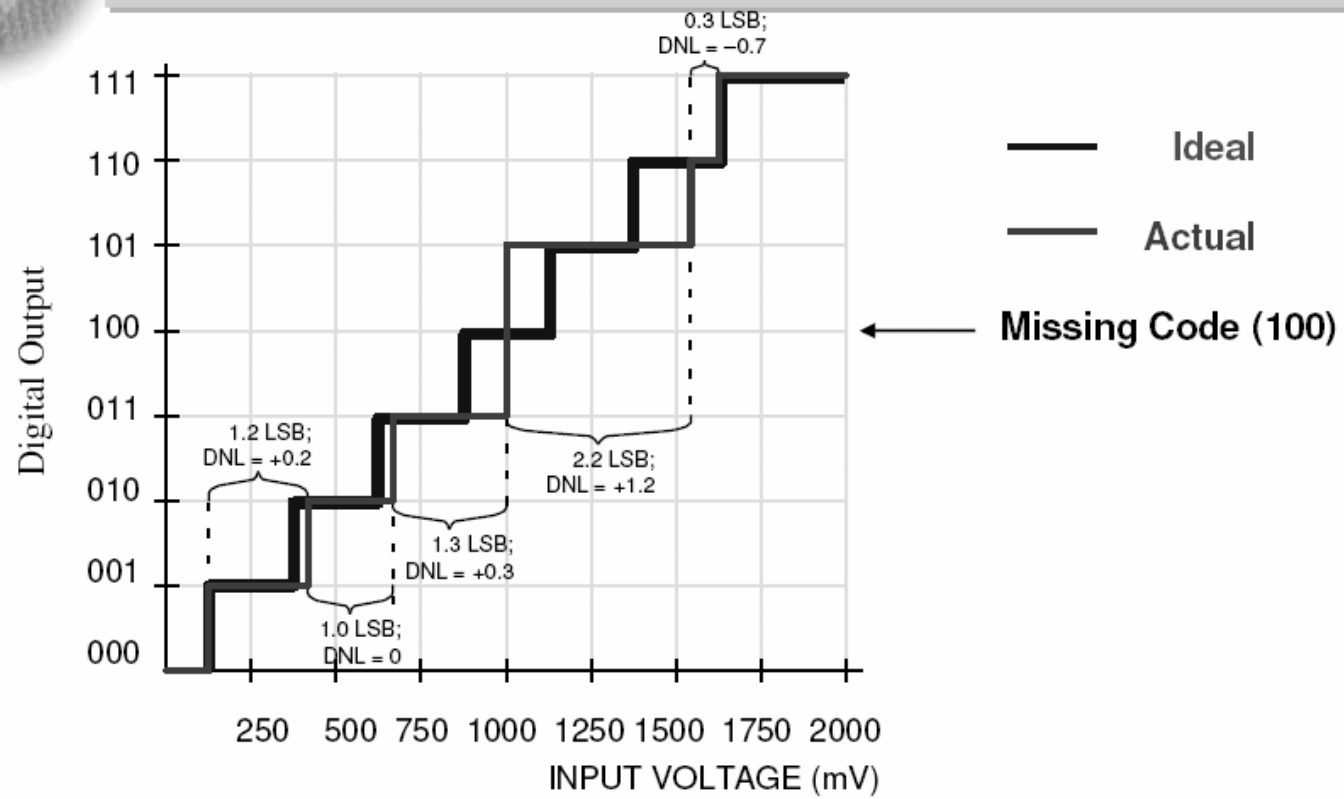


Gain Error (Full-Scale Gain Error)





DNL

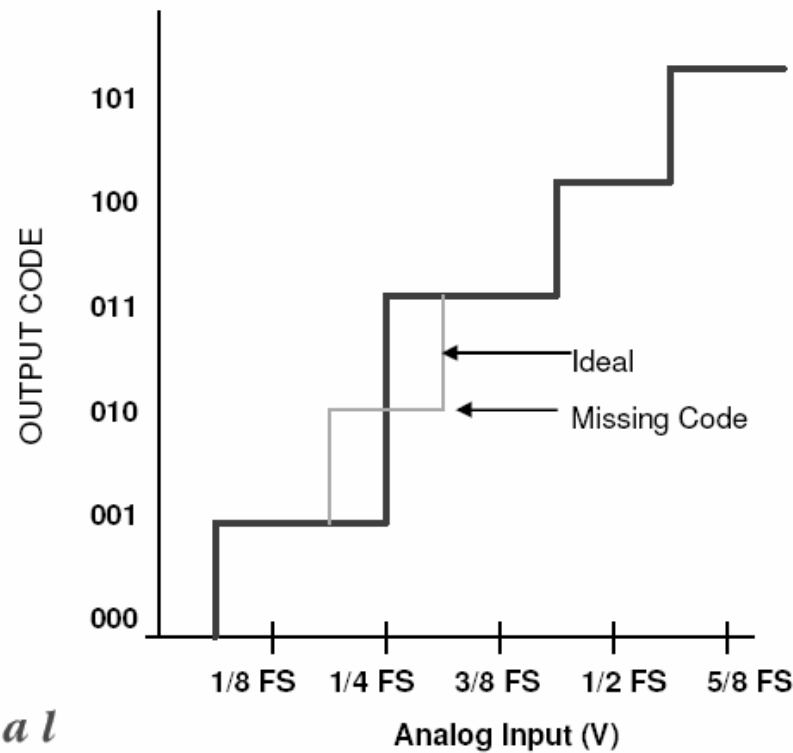


$V_{REF} = 2.0V$

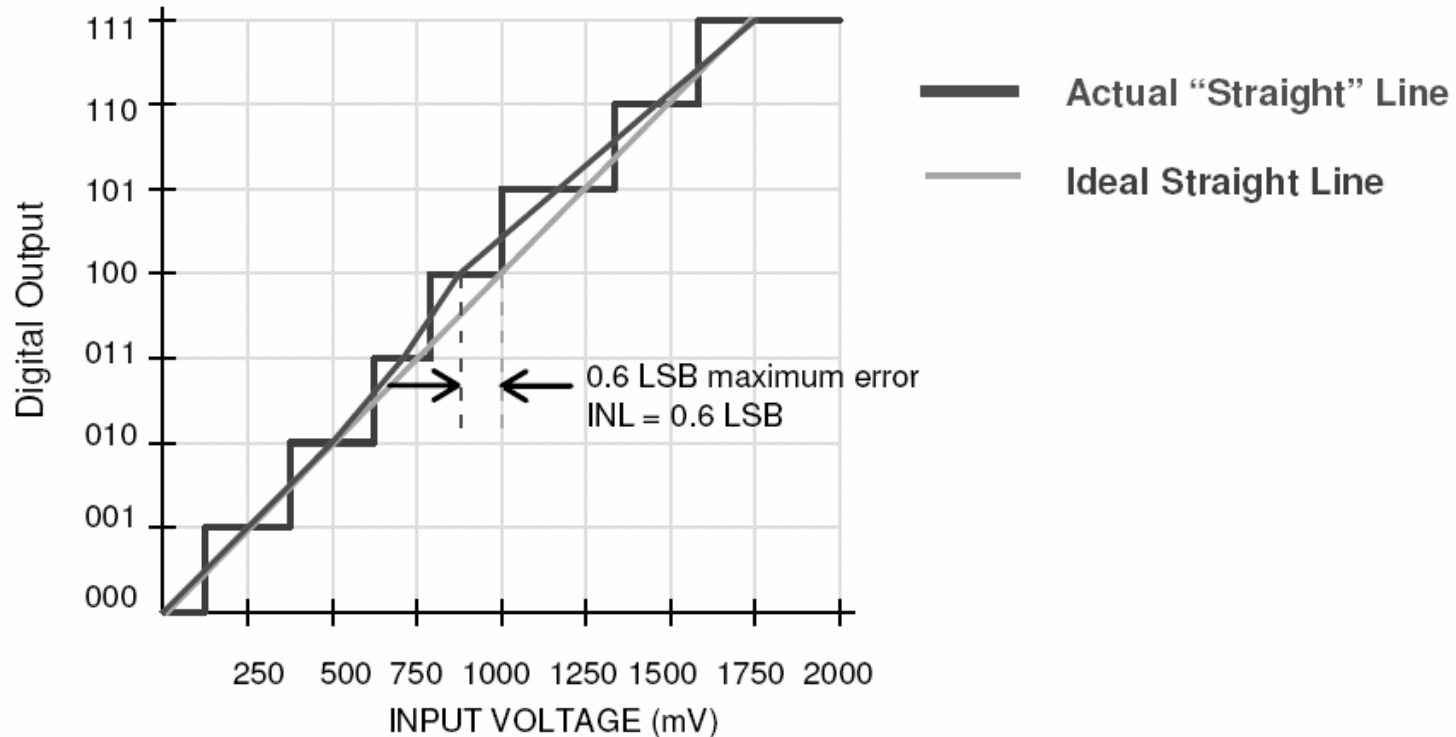




Missing Codes

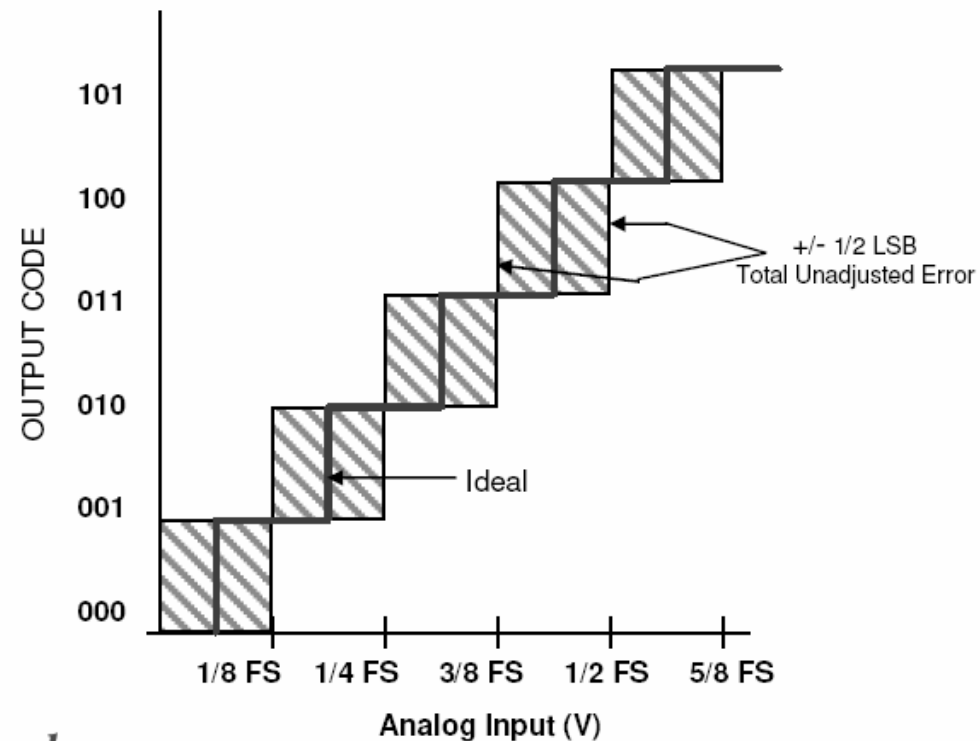


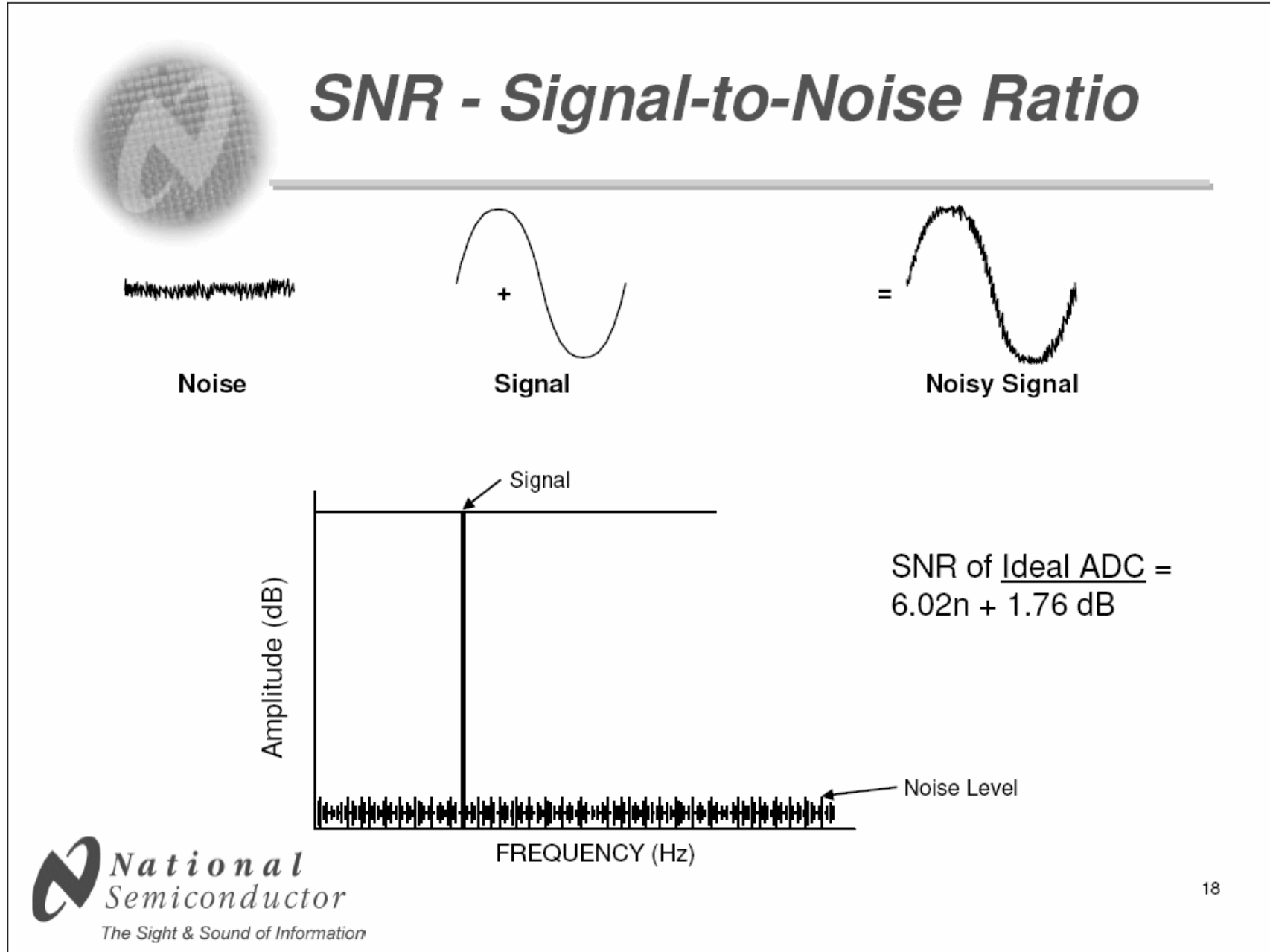
Integral Non-Linearity (INL) or Integral Linearity Error (ILE)





Total Unadjusted Error



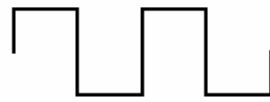
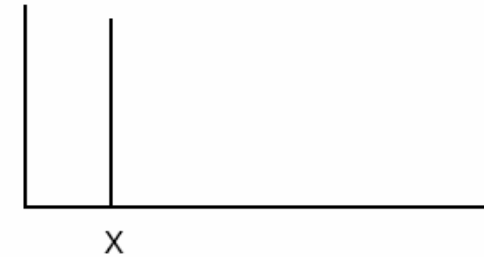




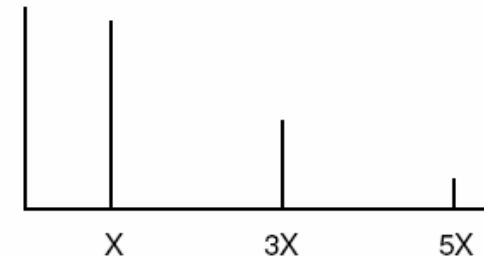
THD - Total Harmonic Distortion



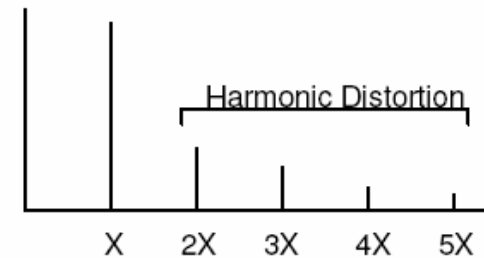
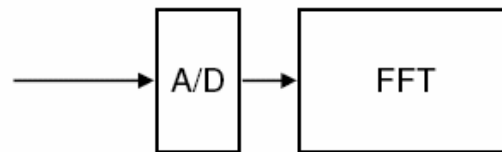
Pure Sine Wave
Frequency X



Square Wave
Frequency X



Pure Sine Wave
Frequency X



1



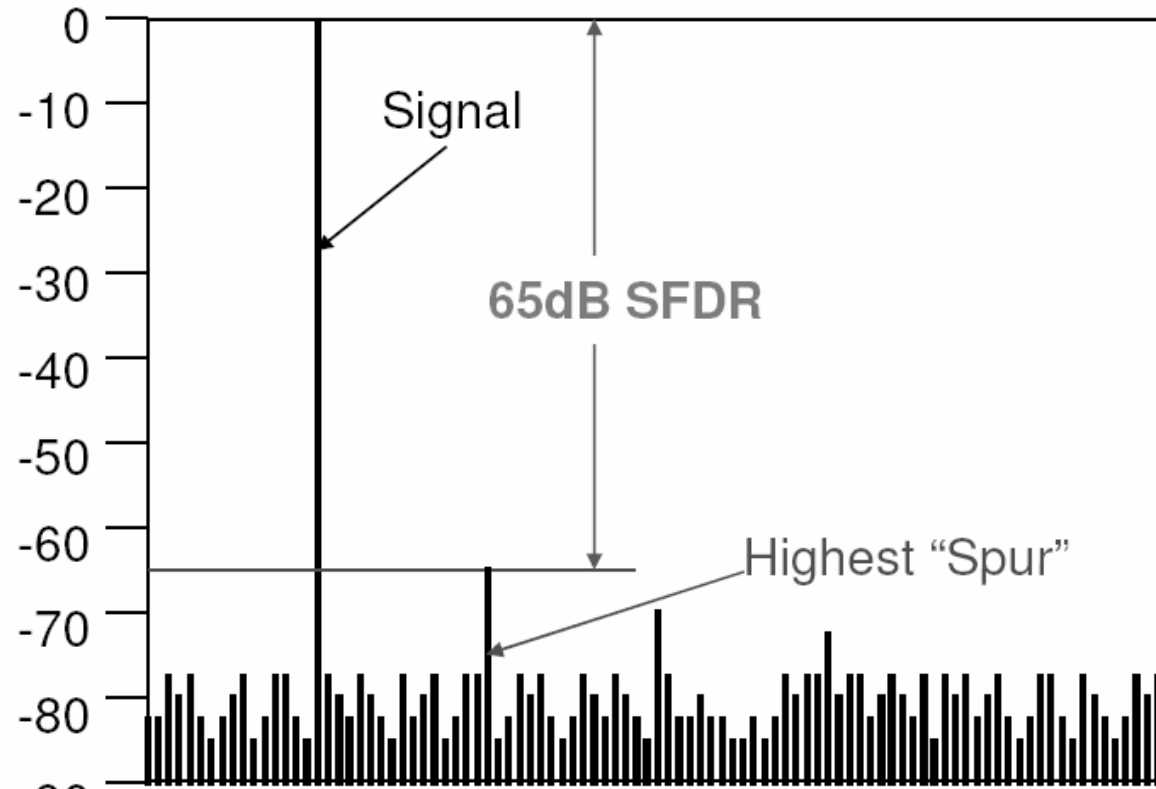
Signal-to-Noise and Distortion (SINAD)

$$\text{SINAD} = -20 * \text{Log} \sqrt{10^{\frac{-\text{SNR}}{10}} + 10^{\frac{\text{THD}}{10}}}$$

$$\text{SINAD} = 10 * \text{Log} \left[\frac{1}{10^{\frac{-\text{SNR}}{10}} + 10^{\frac{\text{THD}}{10}}} \right]$$



SFDR - Spurious Free Dynamic Range





High Speed ADCs From National: 10-bits

ADC	Res (Bits)	Speed (MSPS)	Pwr. Cons (mW)	INL (LSB)	DNL (LSB)	SNR (dB)	SINAD (dB)	SFDR (dB)	@ f_{IN} (MHz)
ADC10321	10	20	98	± 0.45	± 0.35	60	59	72	4.4
ADC10D020	2 x 20	Dual 20	150	± 0.65	± 0.35	59	59	75	4.7
ADC10030	10	30	125	± 0.45	± 0.4	59	58	68	13.5
ADC10040	10	40	55.6	± 0.3	± 0.3	59.6	59.4	80	19
ADC10D040	2 x 40	Dual 40	267	± 0.65	± 0.35	60	59	72	10.4
ADC10065	10	65	68.6	± 0.3	± 0.3	59.3	59	80	32
ADC10080	10	80	78.6	± 0.5	± 0.25	59.2	59	78.8	39



High Speed ADCs From National: 12-bits

ADC	Res (Bits)	Speed (MSPS)	Pwr. Cons (mW)	INL (LSB)	DNL (LSB)	SNR (dB)	SINAD (dB)	SFDR (dB)	@ f_{IN} (MHz)
ADC12010	12	10	160	±0.5	±0.3	70	69	83	10
ADC12020	12	20	185	±0.55	±0.4	70	69	85	10
ADC12040	12	40	340	±0.7	±0.4	69.5	69	84	10
ADC12D040	2 x 12	40	600	±0.7	±0.4	68	68	80	10
ADC12DL040	12	40	210	±0.8	±0.3	69	69	4	20
ADC12L063	12	62	354	±1.0	±0.5	66	65	78	10
ADC12QS065	4 x 12	65	800	±0.6	±0.3	68	68	80	33
ADC12L066	12	66	357	±1.2	±0.4	65	64	73	25
ADC12DL066	2 x 12	66	686	±1.2	±0.5	64	63	72	33
CLC5957	12	70	640	±1.5	±0.65	66	-	74	25
ADC12L080	12	80	425	±1.2	±0.4*	65	64	74	70
ADC12DL080	12	80	447	±0.9	±0.4	67	66	81	200



High Speed ADCs From National: 14 & 16-bits

ADC	Res (Bits)	Speed (MSPS)	Pwr. Cons (mW)	INL (LSB)	DNL (LSB)	SNR (dB)	SINAD (dB)	SFDR (dB)	@ f_{IN} (MHz)
ADC14L020	14	20	150	±1.4	±0.5	74	74	93	10
ADC14L040	14	40	235	±1.5	±0.5	73	73	90	20
ADC14155 *	14	155	974 *	±1.5 *	±0.5 *	71 *	71 *	85 *	70
ADC16061	16	2.5	390	±3.0	±1.0	80	79	91	0.5

* Target specifications: product in development

Conversores ADC y DAC

Bibliografía:

Apuntes de teoría:

- "Conversores ADC y DAC". Hugo Mazzeo.

Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECSA.
- "Técnicas Digitales con Circuitos Integrados". M. Ginzburg.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Manuales de Conversores de Motorola, Texas Instruments, Analog Devices, Maxim, National Semiconductors, etc.".
(www.onsemi.com; www.ti.com; www.analogdevices.com;
www.maxim-ic.com; www.nsc.com)