

M E D I D A S E L É C T R I C A S

Guía de estudios

Capítulo 10

Ing. Jorge L. Dampé
Colaboró: Ing. Gustavo Giuliano
Cátedra de Medidas Eléctricas

Capítulo 10

Conversión analógica - digital

10.1. Digitalización de señales

Hemos visto en el Capítulo anterior, en el que se discutieron algunas herramientas básicas para el estudio de los aparatos digitales, las ventajas que implica el uso de técnicas de esa naturaleza en instrumentación. Veremos ahora los pasos que son necesarios seguir para realizar la digitalización de una señal; inicialmente nos limitaremos al caso de señales de continua o de variación muy lenta, entendiéndose por estas últimas a aquéllas cuyas variaciones ocurren en lapsos mucho mayores que los involucrados en el proceso de digitalización, reservando el estudio del caso de las señales rápidas para la última parte. En la figura 10.1 se aprecian en diagrama en bloques las distintas etapas involucradas en el proceso.

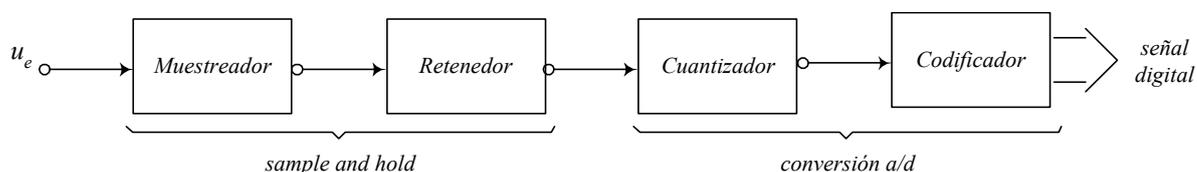


Figura 10.1: Esquema en bloques del proceso de conversión analógico - digital

Los dos primeros bloques generalmente se encuentran en un único circuito conocido como circuito “sample and hold” (S/H). Son necesarios cuando se debe digitalizar señales que varían con el tiempo, motivo por el cual no serán analizados en esta parte en detalle (en el caso de medición de señales de alterna, veremos el caso en que la señal es primero procesada en forma analógica de forma de obtener, por ejemplo, su valor eficaz y es éste el que luego se digitaliza, metodología empleada en la generalidad de los instrumentos). La razón de estar de este circuito se debe a la necesidad de mantener un valor constante de la señal de entrada mientras se realiza la cuantización y la codificación. El proceso consiste en tomar el valor instantáneo de la señal de entrada (muestras) a intervalos generalmente regulares de tiempo (determinados a través de la aplicación del teorema del muestreo [1]), y mantener este valor hasta la llegada de la próxima orden de muestreo. Como resulta intuitivo, a mayor frecuencia de la señal, mayor debe ser la cantidad de muestras a tomar. El teorema mencionado establece que la frecuencia de muestreo (f_m) debe ser, como mínimo, igual a dos veces la máxima frecuencia presente en la señal de entrada ($f_{máx}$) para que no exista pérdida de información, es decir:

$$f_m > 2f_{máx} \quad (10.1)$$

En la figura 10.2 se esquematiza este proceso (el tiempo que permanece cerrada la llave es muy corto), y en la figura 10.3 se muestra cómo se vería una señal a la salida de un circuito como el descrito. Es de destacar que la señal resultante sigue siendo analógica.

Quedan luego dos bloques, el cuantizador y el codificador, generalmente incluídos en un solo circuito denominado conversor analógico-digital (A/D), los cuales analizaremos a continuación.

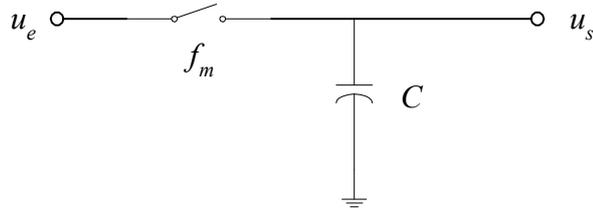
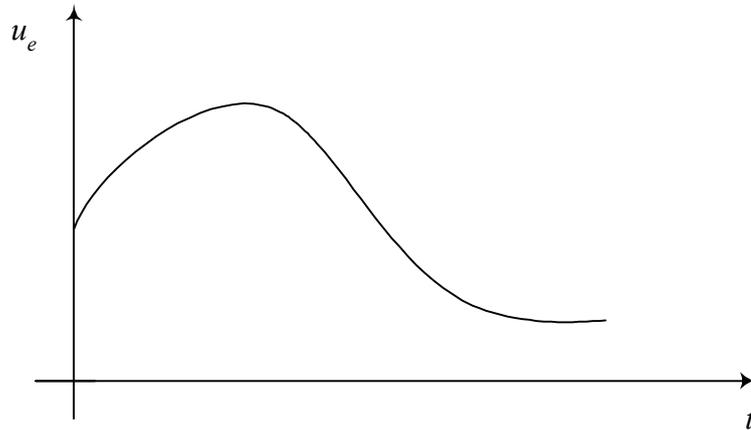
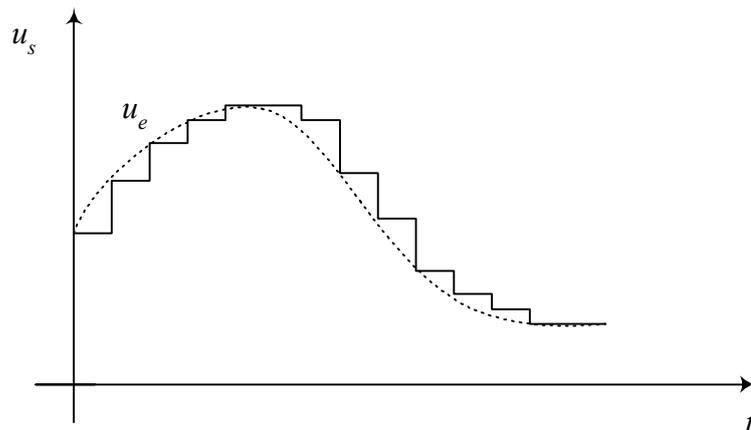


Figura 10.2: Esquema elemental de un circuito de muestreo y retención (S/H)



a) Señal analógica a muestrear



b) Señal muestreada, también analógica

Figura 10.3: Proceso de muestreo de una señal

10.1.1. Cuantizador

Este bloque realiza la cuantización de la señal, es decir el proceso por el cual las infinitas amplitudes posibles de la señal analógica de entrada se subdividen en un número predeterminado de valores. Esta discretización es característica de los procesos digitales, en los cuales la señal puede tomar sólo alguno de los valores que previamente se han definido como posibles. La señal resultante se denomina cuantizada. Este proceso puede representarse por una relación entre la entrada y la salida como la que muestra la figura 10.4, para un cuantizador de 8 niveles igualmente espaciados (todos los saltos de la misma amplitud).

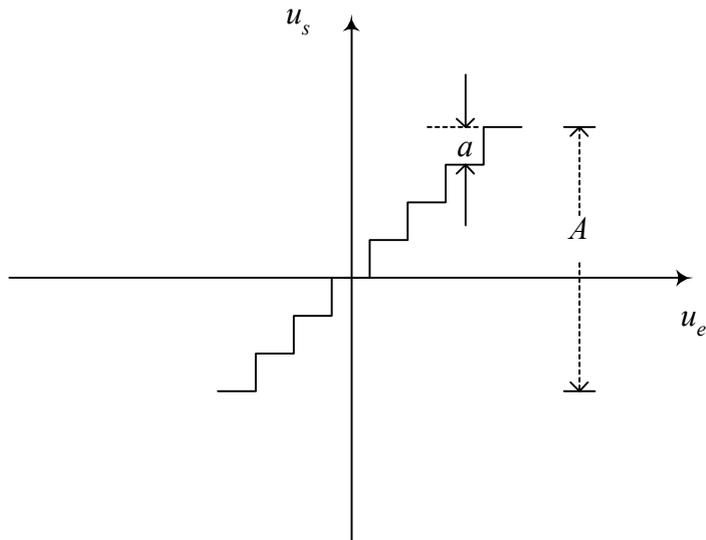


Figura 10.4: Curva característica de transferencia de un bloque cuantizador

En dicha figura con A se ha denotado la máxima amplitud tolerable de la señal de entrada, conocida como rango dinámico del cuantizador, y con a el paso de cuantización (amplitud de los saltos). Cabe destacar que existen muchas maneras de cuantificar una señal, de las cuales la vista es sólo un ejemplo.

Si llamamos M al número total de niveles posibles, se verifica que:

$$a = \frac{A}{M - 1} \quad (10.2)$$

Para aclarar lo expuesto la figura 10.5 muestra cómo se vería una señal analógica que es pasada por un circuito cuantizador como el de la figura 10.4.

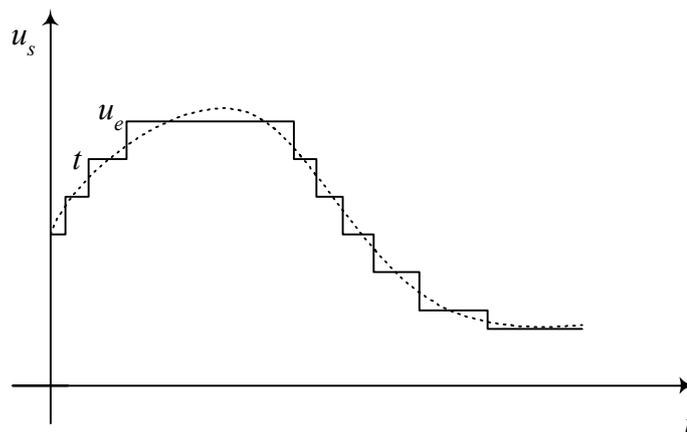


Figura 10.5: Proceso de cuantización de una señal analógica.

Como es claro se ha introducido un error en este proceso, que se llama error de cuantización, debido a que la señal cuantizada en el nivel U_i podría deberse a cualquier valor de amplitud

comprendido entre $U_i - a/2$ y $U_i + a/2$. Ya que un mismo valor de entrada es siempre cuantizado al mismo nivel, deducimos que el error de cuantización es un error sistemático indeterminado cuyo valor límite es $a/2$.

$$E_{uc} = \pm a/2 \quad (10.3)$$

De las ecuaciones 10.2 y 10.3 se desprende que el error de cuantización será menor cuanto mayor sea el número de niveles posibles (para un mismo rango dinámico). A su vez se deduce la conveniencia de utilizar el conversor a fondo de escala para minimizar el error relativo; circuitos más sofisticados solucionan este inconveniente utilizando una cuantización con niveles de amplitudes desigualmente espaciados, de forma tal que a los bajos valores de amplitud le corresponda un paso menor (técnicas de compresión) [1].

10.1.2. Codificador

La señal cuantizada debe ser luego codificada de forma tal que pueda ser entendida por la electrónica digital. El formato generalmente empleado es el binario; un sistema numérico formado por dos niveles posibles: "0" y "1" ("bajo" y "alto", "falso" y "verdadero", etc.). El utilizar código binario presenta una ventaja desde el punto de vista de la implementación electrónica. Si se utilizara por ejemplo el código decimal, nos encontraríamos con la necesidad de representar números cuya estructura es la siguiente:

$$N_{10} = d_n * 10^n + d_{n-1} * 10^{n-1} + \dots + d_0 * 10^0 \quad (10.4)$$

que puede escribirse:

$$N_{10} = d_n d_{n-1} \dots d_0 \quad (10.5)$$

cada uno de los n coeficientes puede tomar cualquier valor entre los diez posibles que van del cero al nueve, lo que obliga a que el dispositivo encargado de la interpretación sea capaz de discriminar esos valores.

Resulta más conveniente el empleo de una base de numeración en la cual la cantidad de valores posibles de los coeficientes sea menor. Desde este punto de vista lo ideal es el sistema en base 2, en el cual cada coeficiente sólo puede valer 0 o 1. Expresado en este código, un número toma la siguiente forma:

$$N_2 = b_n * 2^n + b_{n-1} * 2^{n-1} + \dots + b_0 * 2^0 \quad (10.6)$$

que en su forma usual se escribe:

$$N_2 = b_n b_{n-1} \dots b_0 \quad (10.7)$$

A cada uno de los dígitos binarios de la expresión 10.7 se le da el nombre de **bit** (*binary digit*).

A modo de ejemplo el número decimal 90, tiene como correspondiente en notación binaria al 1011010, cuando se lo expresa utilizando el código de las 10.6 y 10.7, que recibe el nombre de *código binario natural*, pero existen otras alternativas que presentan algunas ventajas importan-

tes frente a ésta, como ser una mejor inmunidad al ruido (código Gray), o una implementación física más simple [1]. De la misma manera que en el caso de la expresión decimal, los dígitos binarios reciben nombres particulares según la posición que ocupen: así, al que corresponda a la máxima potencia de 2 presente en la representación elegida se lo llamará “*dígito más significativo*”, o, utilizando terminología inglesa “*most significant bit (MSB)*”, en tanto que al que corresponde a 2^0 se le reserva el nombre de “*bit menos significativo*”, o “*least significant bit (LSB)*”.

Al igual que lo que sucede con el código decimal, en el que la cantidad de niveles (valores expresables), depende de la cantidad de dígitos que se empleen, también en el caso de notación binaria dichos niveles dependen del número de bits empleados en la codificación, a través de la relación:

$$M = 2^n \quad (10.8)$$

es interesante notar que, con 3 bits, por ejemplo, se tienen 8 valores posibles, lo que a todas luces representa un conjunto muy reducido de valores posibles. Si se trabaja con 12 bits, ya se alcanzarán 4096 de tales valores.

Combinando las ecuaciones 10.3 y 10.8 tenemos que el error de cuantización decrece exponencialmente con el número de bits del conversor (lógicamente el costo y la complejidad siguen una ley inversa e ésta); es decir:

$$E_c \cong \pm A2^{-(n+1)} \quad (10.9)$$

Luego del tratamiento de la señal, ésta es transcodificada a una forma más simple de entender por un operador humano, como por ejemplo un formato numérico decimal (3 ½, 4 ½ dígitos) o un formato de "barras". Finalmente, es importante volver a notar que generalmente el proceso de cuantización y el de codificación se realizan conjuntamente, no existiendo una separación física entre ambos bloques. El circuito que realiza esta doble función, como ya se dijo, se denomina conversor analógico-digital (A/D).

10.2. Errores de digitalización

Además del error de cuantización ya mencionado, los sistemas de digitalización reales exhiben apartamientos de la característica ideal de transferencia que se traducen en nuevas fuentes de errores. La nómina es extensa por lo que citaremos aquí los más importantes (una lista más completa puede encontrarse en la referencia [7]):

* **error de cero:** es la desviación del cero de la información de salida, cuando se coloca a la entrada el valor correspondiente para indicación cero. Generalmente se lo expresa en porcentaje del valor de fondo de escala. La figura 10.6 a) muestra este error;

* **error de ganancia:** se debe a que la pendiente de la curva de transferencia difiere de la ideal. Generalmente se expresa en porcentaje. La figura 10.6 b) ejemplifica este caso;

* **error de linealidad:** se define como la desviación máxima de la curva de transferencia de la posición ideal. Generalmente se expresa como porcentaje del peso del bit menos significativo, ver figura 10.6 c);

* **error de conmutación:** se debe a la desviación de cualquier paso de cuantización del valor ideal. Generalmente se lo expresa en porcentaje del peso del bit menos significativo. Ver figura 10.6 d).

Cabe mencionar que la mayoría de los convertidores comerciales permiten ajustar los errores de cero y de ganancia, a diferencia de los errores de linealidad que no son susceptibles de ajuste alguno.

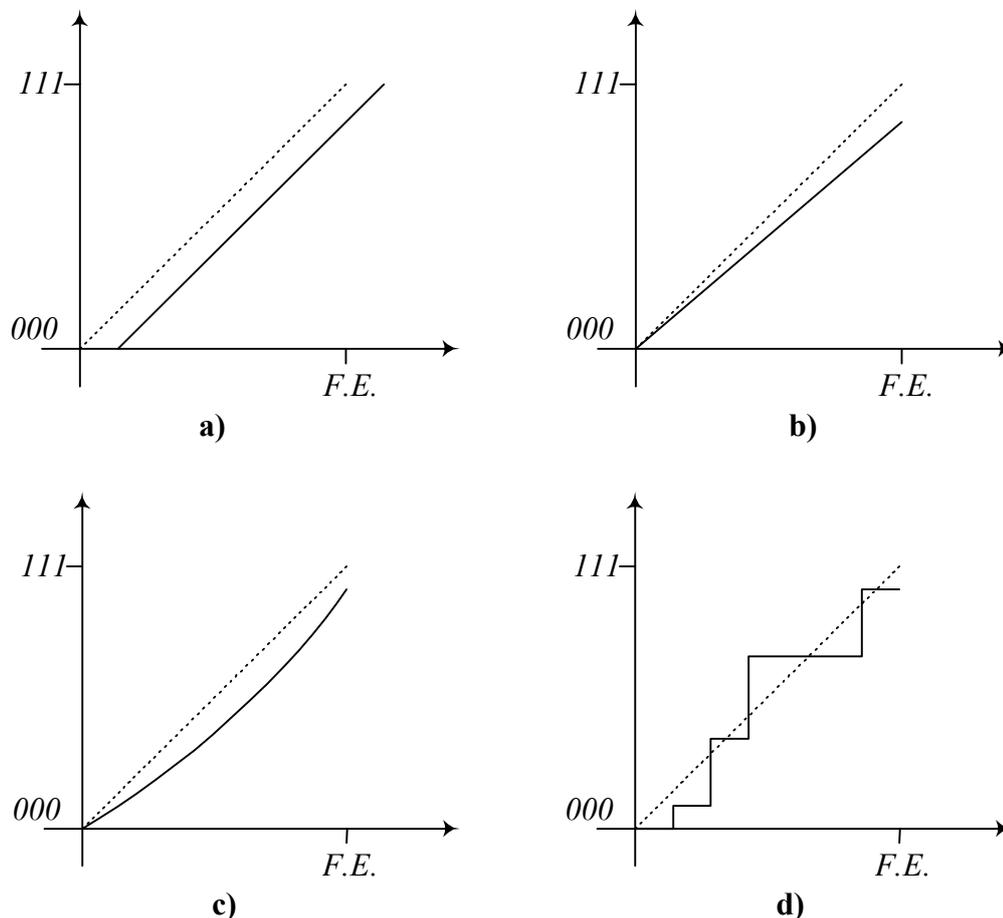


Figura 10.6: Representación de los errores de digitalización más comunes. F.E: fondo de escala

10.3. Técnicas de conversión A/D

Existen muchas técnicas para realizar la conversión analógica-digital, que difieren entre sí en alguna de las siguientes características que se toman como parámetros típicos:

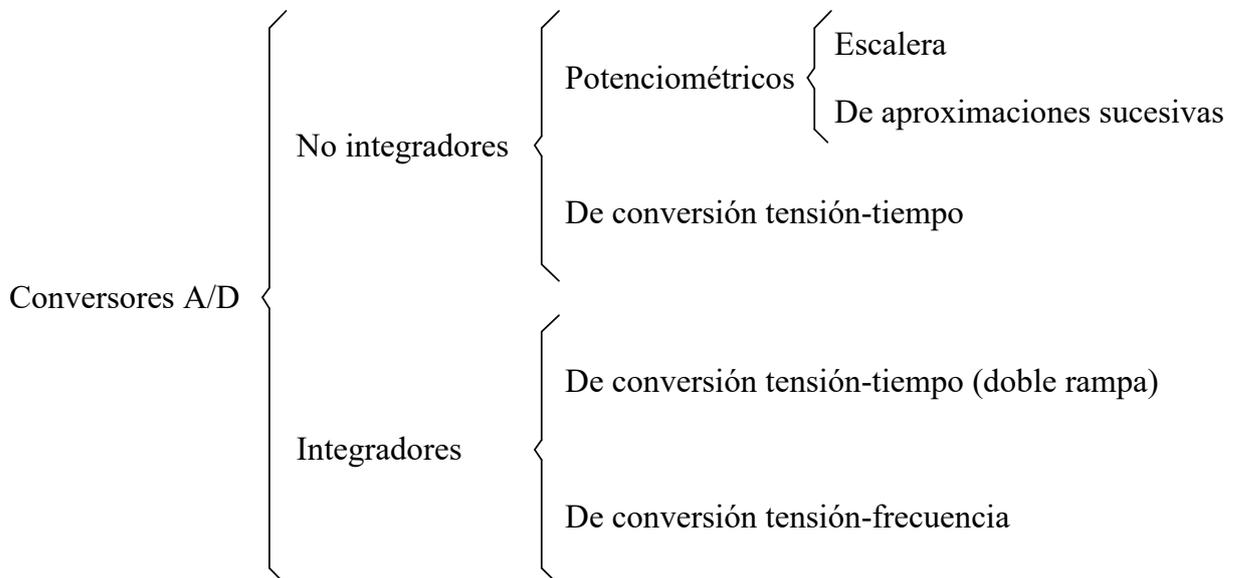
* **resolución:** es el valor del paso de cuantización, y está en relación con el número de bits; * **velocidad de conversión:** es el tiempo que tarda en realizarse todo el proceso de conversión. Varía entre algunas centenas de nanosegundos, en los convertidores muy rápidos, hasta el orden del segundo en los más lentos;

* **rechazo a las señales espurias:** es la inmunidad que presenta a las señales indeseadas que están superpuestas con la señal a medir. Se caracteriza por la llamada relación de rechazo de modo serie o normal (SMRR o NMRR), que veremos más adelante;

* *costo*: el costo de un conversor está en relación directa con los parámetros antes mencionados.

Generalmente la elección de un determinado tipo de conversor se hace sobre la base de algunas de estas características, ya que no existe uno que optimice a todas al mismo tiempo.

Nosotros veremos los conversores más ampliamente utilizados en la conversión de señales continuas. El siguiente cuadro muestra una clasificación de los mismos:



Antes de comenzar el estudio de los diferentes tipos de conversores, presentaremos un circuito que es utilizado en la mayoría de ellos, el contador binario. Es un circuito que, como su nombre lo indica, cuenta en sistema binario la cantidad de pulsos de una señal de entrada provista por un circuito denominado reloj (clock). Tiene, en su forma más simple, una señal más que permite llevarlo a la condición de cero, inicialización (reset). En su construcción se emplean circuitos multivibradores biestables (tienen sólo dos estados posibles de funcionamiento, con su salida en el nivel alto que corresponde a un "1" binario, o en su nivel bajo, correspondiente a un "0") llamados "flip-flops". En la figura 10.7 se aprecia el esquema elemental de uno de tales circuitos, en el que se aprecian la entrada, marcada con T, la salida, Q, y la entrada de reposición "reset", R. Cuando se aplica un pulso a esta última el flip-flop vuelve su salida a cero.

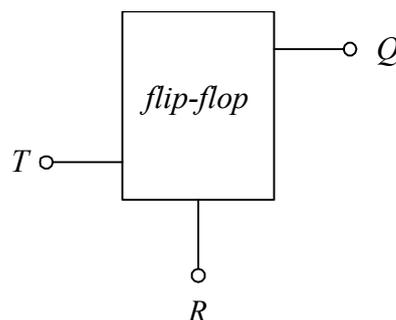


Figura 10.7: Esquema de un flip-flop

Los circuitos de estas características pueden ser armados de una multitud de maneras diferentes, según las aplicaciones que con ellos se persigan. En materias de años superiores el alumno tendrá oportunidad de profundizar en su estudio. Para los objetivos presentes, nos basta con analizar el esquema elemental de más arriba, considerando que las transiciones de la salida se producen en el momento en que la señal de entrada presenta su flanco decreciente.

La aplicación más importante para nosotros en este momento de estos circuitos, es su capacidad de "memoria": observando la salida de uno de ellos, se puede determinar el estado que tuvo la entrada inmediatamente antes.

Si se colocan varios de ellos en cascada, haciendo que la salida de uno sea la entrada del que le sigue y así sucesivamente, se puede lograr un contador binario, como se aprecia en la figura siguiente:

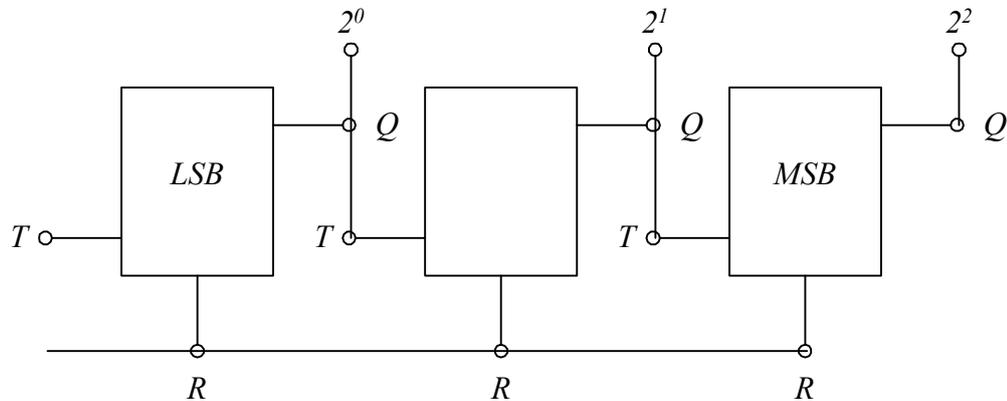


Figura 10.8: Contador binario de 3 bits formado a partir de 3 flip-flops.

En la figura anterior se ha marcado el peso relativo de cada uno de los flip-flops. La secuencia de conteo es como sigue: inicialmente se aplica un pulso de reset que vuelve a los tres a la posición cero (recordar que el cambio de estado se produce en los flancos decrecientes de la señal de entrada). A partir de este momento, la llegada de un pulso a la entrada T del que corresponde al *LSB* hace que su salida pase al estado "1", con lo que la salida del conjunto es 001. Al llegar un segundo pulso, el *LSB* vuelve al estado cero, con lo que provoca en la entrada T del segundo la condición para que éste pase a 1. La salida es ahora 010. Como se comprende, a medida que avanzamos hacia la derecha, cada uno de los flip-flops divide por dos los cambios de estado que se producen a la entrada del que lo precede. El esquema mostrado corresponde a un contador de tres bits, pero sin esfuerzo, con sólo agregar más flip-flops se puede incrementar el número de bits.

El presentado es un ejemplo de un contador binario natural, pues su salida corresponde a una representación en tal código. Existen muchas otras variantes, cuyo estudio escapa a los objetivos de la materia.

10.5. Breve introducción a los conversores D/A

En esta parte nos ocuparemos brevemente del funcionamiento de un tipo de circuitos llamados conversores digital-analógicos, que proveen la conversión de una señal digital a su entrada en una salida analógica. Su función es exactamente la inversa que la que realizan los conversores analógico digitales. Estrictamente la señal de salida de un conversor D/A no es analógica ya que está cuantizada; con una cantidad de niveles de cuantización que está en relación exponencial con la cantidad de bits del conversor según lo expresa la (10.8).

Necesitan para su funcionamiento de una tensión de referencia, generalmente externa, ya que la salida es proporcional a ésta y al número binario que haya a la entrada. La figura 10.9 muestra cómo se lo representa.

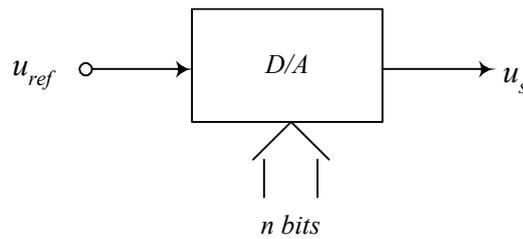


Figura 10.9: Esquema de principio de un convertidor digital-analógico

En cuanto a las posibles implementaciones, existe una gran variedad de ellas. A modo de simple ejemplo, presentaremos uno, llamado “escalera R-2R”, nombre que alude a las relaciones que cumplen las resistencias que lo conforman

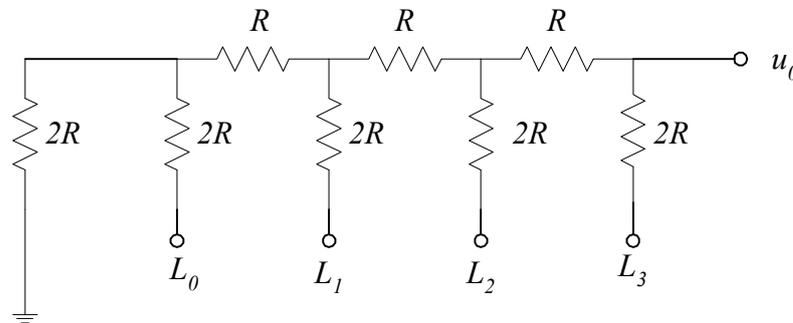


Figura 10.10: Esquema de un convertidor digital analógico del tipo de escalera R-2R

Las llaves L_k pueden tomar dos posiciones, que corresponden a los dos posibles valores de los bits: 0, en cuyo caso los puntos correspondientes se conectan a tierra, o 1, posición en la que se aplica una tensión U_R . Todas las llaves pueden adoptar cualquier posición, independientemente de las que ocupen las restantes. Así, por ejemplo, la situación 0001, corresponde a la llave L_0 (LSB) en la posición 1, en tanto que las restantes se hallan a tierra. Notar que el peso de las diferentes llaves aumenta de izquierda a derecha, por lo que el MSB corresponde a la llave L_3 . Para analizar la situación anterior, reemplazamos el circuito anterior por uno que represente las conexiones propuestas, y, aplicando el teorema de Thevenin podemos llegar a determinar de qué manera pesa a la salida la entrada aplicada a cada una de las llaves. La figura 10.11 representa la configuración estudiada.

Conviene efectuar la aplicación paso a paso. Así, lo primero que haremos es encontrar la tensión que aparece entre I y la tierra: nos encontramos con que la tensión equivalente vale $U_R/2$, en tanto que la resistencia equivalente es igual a R . Reemplazamos toda la red situada a la izquierda del punto I por su equivalente así hallado, y si repetimos el cálculo desde el punto 2 resultará una tensión equivalente que vale $U_R/4$, en serie con una resistencia igual a R .

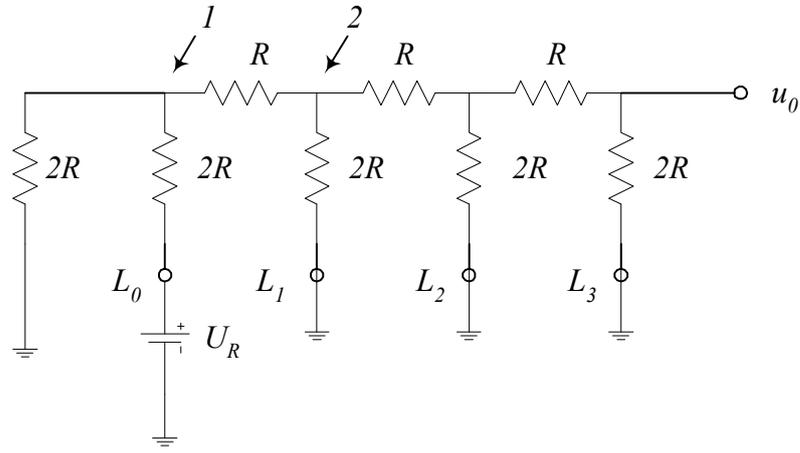


Figura 10.11: Conversor R-2R con entrada 1 en el bit menos significativo

Si continuáramos hacia la derecha en la figura nos encontraríamos que en cada nodo la tensión aparecería dividida por dos respecto de la que existía en el anterior, en tanto que la resistencia equivalente es siempre igual a R . Por fin, el circuito equivalente que representa la situación antes analizada, visto desde el borne donde aparece u_0 es el que se presenta en la siguiente figura:

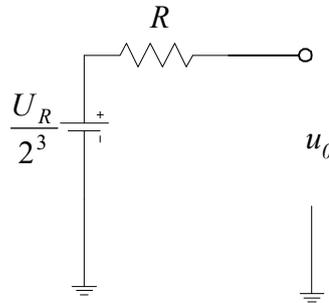


Figura 10.12: Circuito equivalente Thevenin del conversor representado en la figura 10.11

en la que se ha expresado la tensión equivalente en forma que se ponga de manifiesto que cada llave contribuye a la salida total con su propio peso binario. Por último, la expresión general de la tensión de salida puede escribirse:

$$u_0 = U_R \left(\frac{L_3}{2^0} + \frac{L_2}{2^1} + \frac{L_1}{2^2} + \frac{L_0}{2^3} \right) \quad (10.10)$$

en la que se ha considerado que las L_i representan el estado de las correspondientes llaves de las figuras 10.10 y 10.1, “1” en el caso cerrado y “0” en el caso abierto. No debe olvidarse que en el cálculo anterior se han considerado las tensiones de salida en vacío. Si fuera necesario manejar circuitos que cargaran de forma apreciable al conversor, lo único que cambiaría serían los valores absolutos de las tensiones, pero no sus relaciones, sin olvidar que, con circuitos apropiados, como los que se vieron en el Capítulo m puede solucionarse el problema.

10.6. Conversores no integradores

10.6.1. Conversor de escalera

Su principio de funcionamiento se basa en la aplicación de una variante del método de oposición, que consiste en oponer a la tensión a medir una generada internamente mediante un conversor digital-analógico. La indicación de la señal que es necesario aplicar a este último para lograr la compensación se utiliza como una medida del valor de la incógnita. La figura 10.13 corresponde a un esquema en bloques de este tipo de conversor.

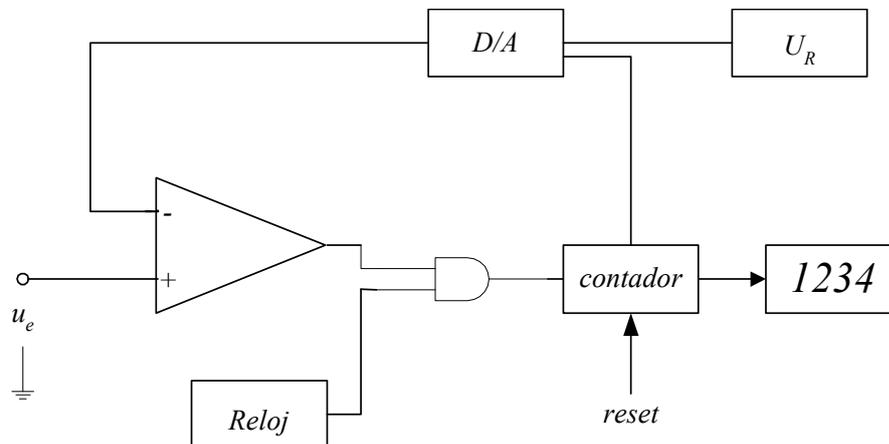


Figura 10.13: Esquema en bloques de un conversor de escalera

La secuencia de funcionamiento es la siguiente: al comenzar la medición, se manda un pulso de “reset” al contador que vuelve a cero su estado, y con él la salida del conversor D/A. A partir de ese momento, si la señal de entrada no es cero, el comparador tiene una salida tal que permite el paso por la compuerta “and” de los pulsos del reloj, los que son contados en el contador, y se emplean, a medida que su cantidad crece, para aumentar la salida del conversor digital analógico (recordar lo analizado en el punto 10.5). La salida de este último se aplica a la otra entrada del comparador. Como el incremento de la señal se produce en cantidades que corresponden al salto más pequeño que este puede producir, se tendrá a la salida del mismo una escalera como la que se aprecia en la figura 10.14.

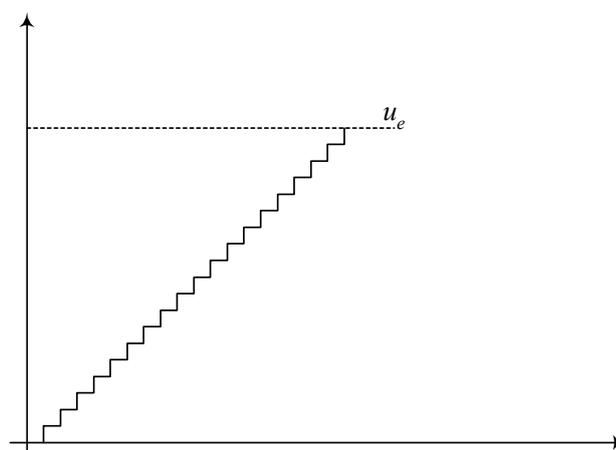


Figura 10.14: Escalera de tensión aplicada al comparador de la figura 10.13. Se ha marcado el valor de u_e

En el momento en que se produce la igualdad a la entrada del comparador, éste cambia de estado, con lo que se cierra la compuerta y ya no podrán pasar más pulsos del reloj al contador. La lógica interna del dispositivo hace que en este momento se envíe una señal que posibilita la transferencia del valor acumulado al visor, lo que constituye una medida de la tensión que se deseaba medir.

El conversor estudiado presenta el inconveniente de ser muy sensible al ruido externo: cualquier interferencia que aparezca durante el proceso de medida, de una amplitud suficiente como para forzar una igualdad anticipada puede frustrar el resultado de la comparación, y dar una indicación errónea. Por otra parte, debido a que la escalera se construye salto por salto, el tiempo total de conversión no es fijo. En cuanto a la exactitud, depende, además de lo ya citado, de la fuente de tensión de referencia, rasgo común a todos los conversores que estudiaremos.

10.6.2. Conversor de aproximaciones sucesivas

El principio de funcionamiento de este conversor se puede comprender mediante la siguiente analogía:

Supongamos tener un objeto cuyo peso es desconocido, pero que sabemos que está comprendido entre 0 y 1 kg. Para su medición se dispone de una balanza de platillos y un juego de pesas de valor conocido, 1/2, 1/4, 1/8 y 1/16 Kg. Colocamos en un platillo el peso desconocido (P_x), y en el otro colocamos la pesa de 1/2 Kg. Si $P_x > 1/2$ Kg, dejamos esta pesa y añadimos la de 1/4 Kg. en el mismo platillo. Si $P_x < 1/2$ Kg, quitamos la pesa de 1/2 Kg y ponemos la de 1/4 Kg. Se continúa con este procedimiento para las pesas menores. Por ejemplo supongamos un P_x de valor tal que dejamos la pesa de 1/2 Kg, quitamos la de 1/4 Kg, dejamos la de 1/8 Kg y dejamos también la de 1/16 Kg; el resultado de la medida del peso es:

$$P_x = 1 * \frac{1}{2} + 0 * \frac{1}{4} + 1 * \frac{1}{8} + 1 * \frac{1}{16} = 1 \frac{1}{16} \text{ kg} \quad (10.11)$$

Asignando un peso numérico de 1/2 al dígito binario más significativo, 1/4 al siguiente, etc.; podemos designar al peso P_x como:

$$P_x = 1011 \quad (10.12)$$

Si continuamos esta operación con pesas sucesivamente menores, podemos establecer el peso desconocido con la cantidad de cifras que deseemos. La figura 10.15 ilustra este procedimiento.

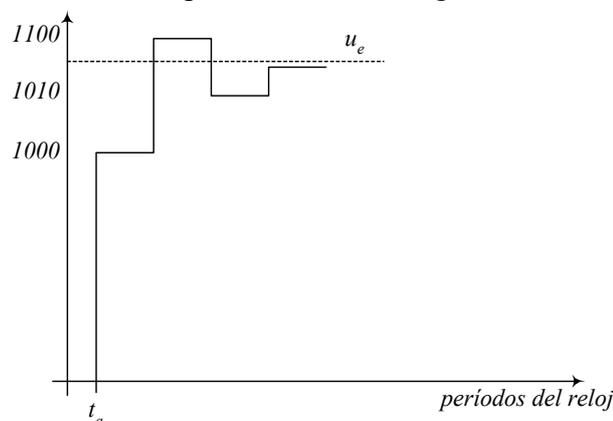


Figura 10.15: Esquema de “pesada”. Método de aproximaciones sucesivas

La figura 10.16 muestra el esquema de un conversor A/D de aproximaciones sucesivas. El circuito electrónico denominado SAR (Successive Approximation Register) conjuntamente con el conversor D/A implementan la pesada lógica descrita anteriormente. El SAR presenta primero el bit más significativo al conversor D/A, y la salida de éste es comparada con la tensión incógnita U_e . Del estado de la salida del comparador se toma la decisión de dejar o sacar dicho bit; en el próximo pulso de reloj el SAR pone el bit siguiente y otra comparación es hecha. El proceso se sigue hasta completar los n bits del conversor.

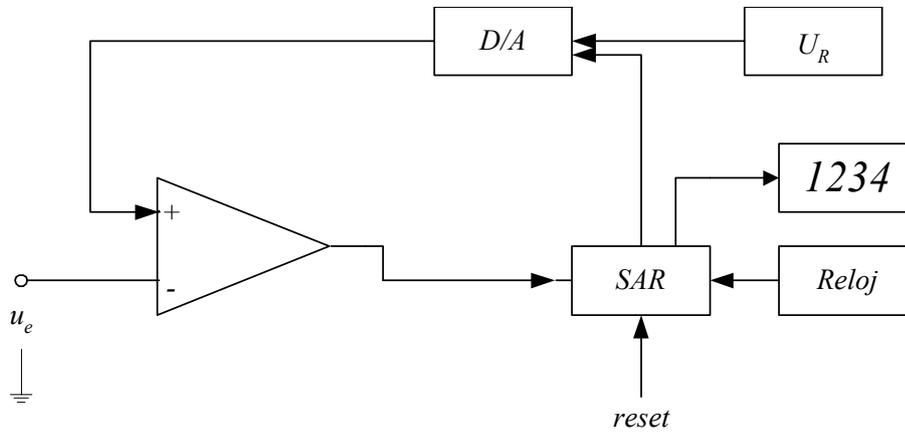


Figura 10.16: Esquema en bloques de un conversor de aproximaciones sucesivas

10.6.3. De conversión tensión en tiempo. Conversor rampa.

La figura 10.17 muestra el esquema de este conversor.

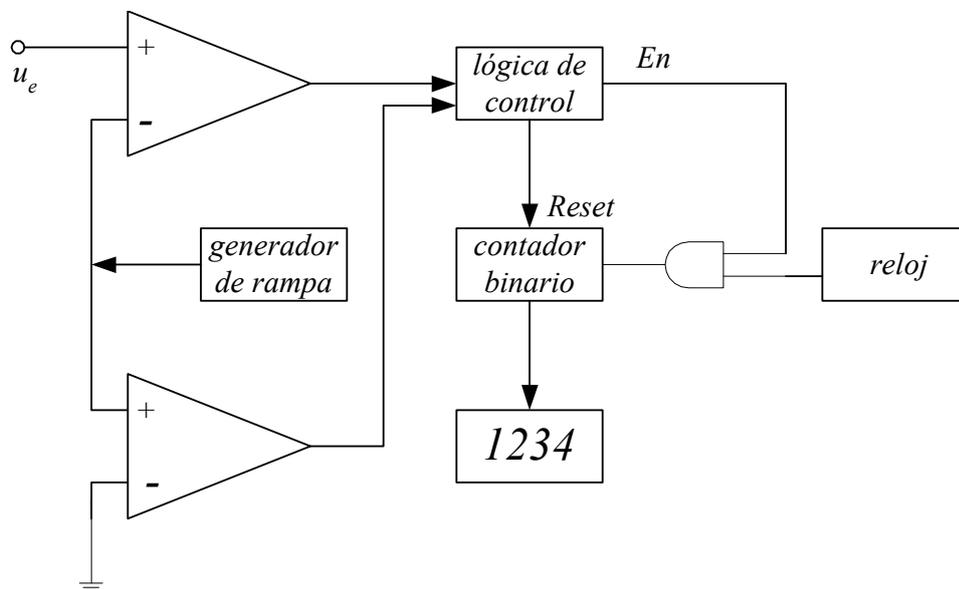


Figura 10.17: Esquema en bloques de un conversor de simple rampa

El corazón del sistema es un generador de tensión en forma de rampa lineal, que varía entre una tensión U_m y una $-U_m$, cuya salida está conectada a dos comparadores. El principio de funcionamiento es el siguiente: como primer paso la lógica de control envía una señal de inicialización

("Re") al contador para la puesta a cero. Seguidamente, con el primer comparador que cambie de estado, la lógica activa la señal de habilitación ("En"), permitiendo que los pulsos de reloj lleguen al contador (el funcionamiento de la compuerta AND es tal que cuando la señal "En" vale "0" no permite pasar los pulsos de reloj, sucediendo lo contrario cuando "En" vale "1". (Este circuito pertenece a la familia de los "circuitos lógicos" que serán estudiados en otras materias). La cuenta sigue hasta que el otro comparador cambia de estado, ordenando la lógica de control que se detenga la cuenta, a través de la desactivación de la señal "En".

Mediante una adecuada elección de la pendiente de la rampa y de la frecuencia del reloj, se puede obtener una lectura directa de la tensión incógnita.

10.7. Conversores integradores

Estos conversores están basados en sistemas que, en alguna de sus etapas, integran la señal de entrada, motivo por el cual tienen una inmunidad bastante aceptable a las señales de valor medio nulo que puedan encontrarse superpuestas a la continua a medir, y que en algunas circunstancias pueden alterar los resultados de la medición. A continuación analizaremos los dos sistemas más comúnmente empleados.

10.7.1. De conversión tensión en frecuencia

Esta clase de conversores hace uso de una conversión previa de tensión a frecuencia. Esta frecuencia es medida con ayuda de un contador convencional, y con un adecuado diseño puede lograrse que sea proporcional al valor de la tensión a medir. En la figura 10.18 se presenta el esquema en bloques de un conversor de este tipo.

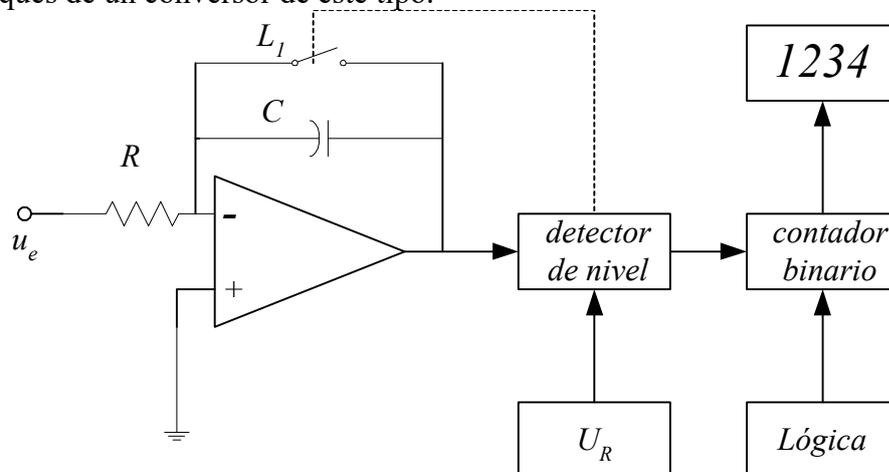


Figura 10.18: Esquema en bloques de un conversor tensión frecuencia

La tensión de entrada es integrada mediante un amplificador operacional funcionando en la forma oportunamente vista. Cuando la tensión de salida del integrador alcanza un valor prefijado U_R , se cierra la llave L_1 , lo que provoca la abrupta descarga del capacitor de integración. Inmediatamente después la llave se abre, con lo que comienza un nuevo período de carga, y el ciclo se repite. Cada vez que la llave se cierra se manda un pulso al contador, con lo que éste almacenará la cantidad de veces que dicho cierre se ha producido. El tiempo total de conteo está fijado internamente, comandado por una lógica que se encarga de fijar los instantes de comienzo y fin del ciclo, además de proveer la inicialización del sistema. En la figura 10.19 se presenta un esquema

del proceso de medición. Por claridad se han representado dos casos, en los que la tensión a medir está en relación 1:2, lo que permite apreciar la disminución de la cantidad de pulsos que la representan cuando baja el valor de la incógnita.

Este convertor participa de las ventajas de todos los de su especie en el sentido de ser poco sensible a señales de valor medio nulo superpuestas a la incógnita a medir. Entre las causas de error, además de la influencia de la tensión de referencia cabe citar las posibles variaciones de los componentes del generador de rampa.

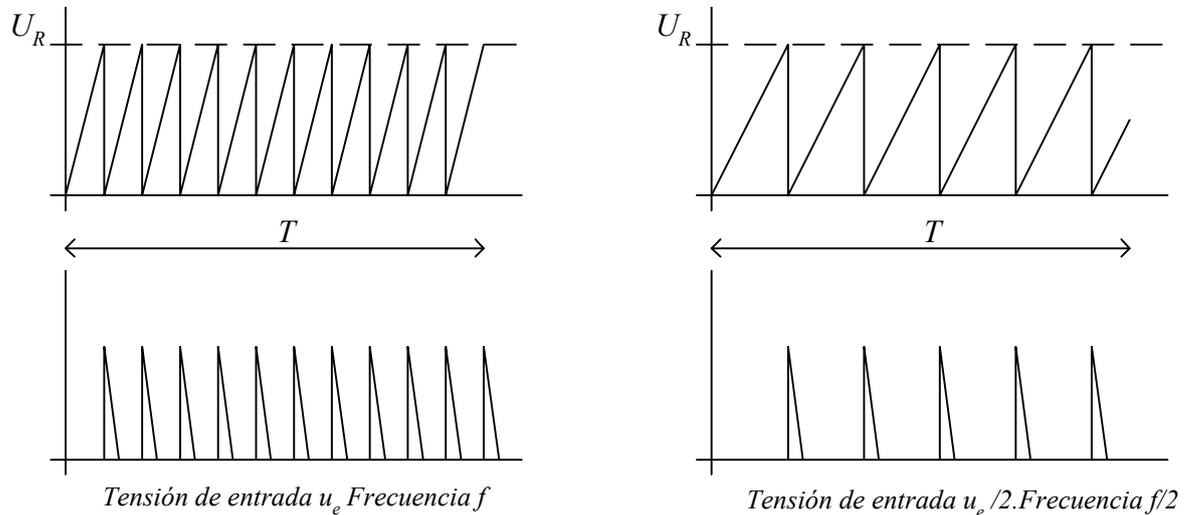


Figura 10. 19: Proceso de medición en un convertor de tensión en frecuencia

10.7.2. Convertor de doble rampa

Este es uno de los conversores A/D del tipo integrador más comunes. Puede decirse que la mayoría de los instrumentos destinados a la medición de fenómenos lentos, como por ejemplo los multímetros, están basados en este tipo de dispositivos. Se los encuentra en forma de circuitos integrados que contienen la mayor parte de los componentes necesarios, permitiendo que con el agregado de algunos elementos externos se los adapte a cada caso en particular.

Su principio de funcionamiento parte de la integración de la señal incógnita durante un tiempo fijo, con la ayuda de circuitos como los estudiados en el capítulo 9, seguida de una integración de una señal de polaridad opuesta. El tiempo necesario para lograr un cero a la salida del integrador es una medida del valor de la incógnita.

Su esquema en bloques elemental es el que se aprecia en la figura 10.20. Al comenzar el ciclo de medición, la lógica del circuito, previa descarga del capacitor de integración, lleva la llave L a la posición 1, y al mismo tiempo comienza la cuenta de una cantidad fija de pulsos del reloj, correspondientes a un tiempo T.

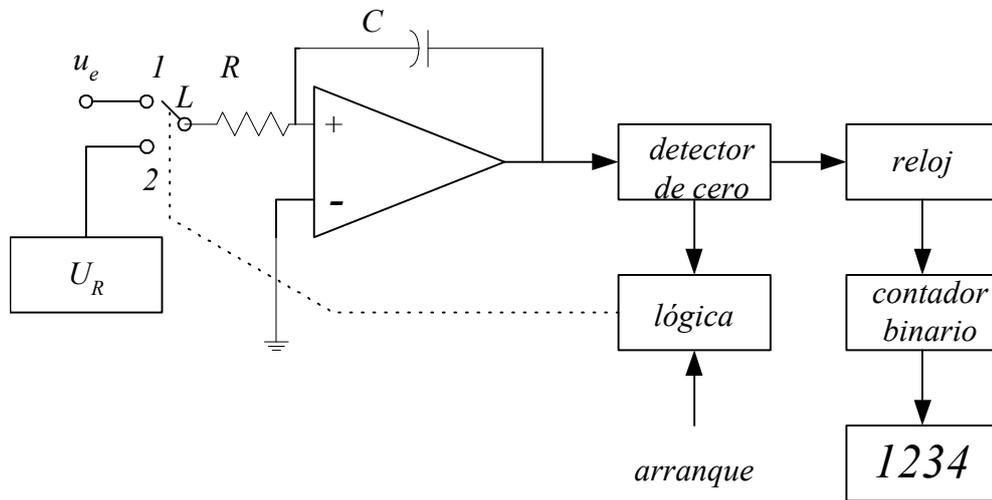


Figura 10.20: Esquema en bloques de un conversor de doble rampa

La tensión a la salida del integrador, que se aplica a una de las patas del comparador de paso por cero, crece entonces de acuerdo con la siguiente expresión:

$$U_c = -\frac{1}{RC} \int_0^T u_e dt = -\frac{1}{RC} \bar{u}_e * T \quad (10.13)$$

en la que se ha denotado con \bar{u}_e al valor medio de la tensión de entrada u_e .

Al cabo del tiempo fijado, se pasa la llave L a la posición 2, con lo que se aplica a la entrada del integrador la tensión de referencia, cuya polaridad suponemos opuesta a la de la tensión u_e , con lo cual el nivel de tensión en el capacitor cae hasta llegar a un valor cero al cabo de un tiempo t , como se aprecia en la figura 10.21

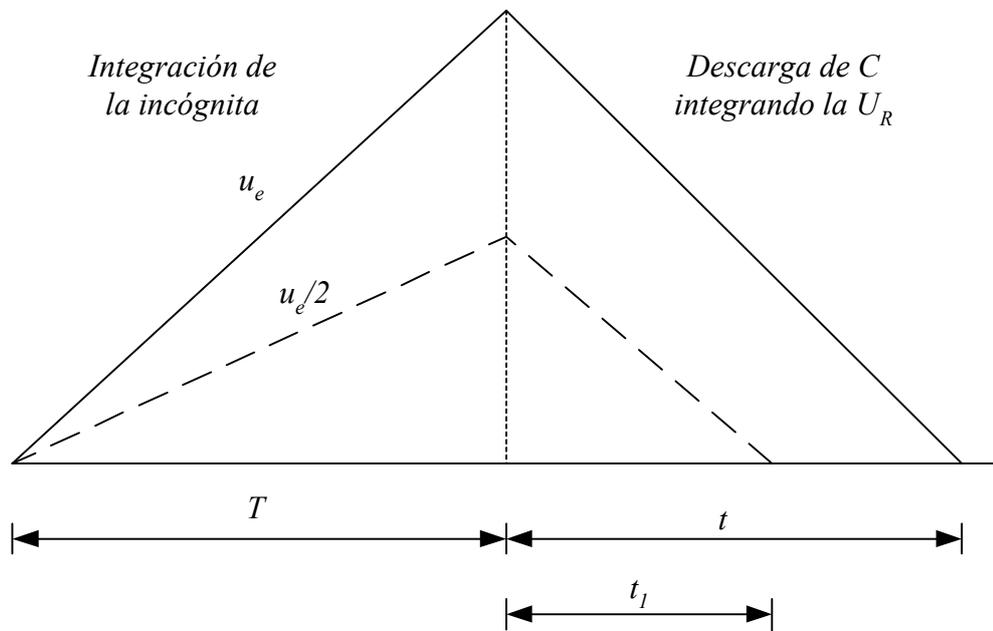


Figura 10.21: Evolución de la tensión en el capacitor de integración de un conversor de doble rampa

Teniendo en cuenta el valor a partir del cual se comienza la integración de la tensión de referencia, puede escribirse:

$$U_c = \frac{1}{RC} \int_0^t U_R dt = \frac{1}{RC} U_R * t \quad (10.14)$$

y en consecuencia:

$$\frac{1}{RC} \overline{u_e} * T = \frac{1}{RC} U_R * T \quad (10.15)$$

de la que resulta:

$$\overline{u_e} = U_R * \frac{t}{T} \quad (10.16)$$

En consecuencia, el valor de la señal de entrada resulta del conocimiento de la tensión de referencia y de *la relación de tiempos t/T*. Merece destacarse que esta última puede conocerse con gran exactitud, y que, en principio, los errores del conversor dependen exclusivamente de los errores de la tensión de referencia, ya que cualquier cambio que se produzca en los valores típicos del integrador *afectará por igual a la determinación de T y de t*. Incluso, alguna modificación en la frecuencia del reloj, cuyos pulsos se utilizan para definir ambos tiempos no pesará en la relación encontrada. Con respecto a esta última aseveración, cabe acotar que si se altera el reloj, algunas otras características del conversor pueden verse afectadas, como se indicará en los capítulos que siguen.

10.8. Referencias bibliográficas

- [1] M.Schwartz: "Transmisión de la Información, Modulación y Ruido", Mc Graw Hill, 1983;
- [2] A.J.Bowens: "Digital Instrumentation", Mc Graw Hill, 1984;
- [3] B.M.Oliver-J.M.Cage: "Electronic Measurements and Instrumentation", Mc Graw Hill, 1971;
- [4] Taub-Schilling: "Digital Integrated Electronics", Mc Graw Hill, 1982;
- [5] J.Millman-Ch.C.Halkias: "Electrónica Integrada", Mc Graw Hill, 1984,;
- [6] O.N.De La Colina-J.Menvielle: "Sistemas de Adquisición de Datos", Apunte de la cátedra "Introducción a los Sistemas Lógicos y Digitales", Facultad de Ingeniería U.N.L.P.,
- [7] Comisión Electrotécnica Internacional: Norma IEC 485/74: "Digital electronic D.C. voltmeters and D.C.electronic analogue to digital converters", 1974.
- [8] J. W. Dally, W. F. Riley, K. Mc Connell: "Instrumentation for Engineering Measurements" 2nd Edition, Wiley, 1993.